

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-199715

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

H02M 3/28

H02M 3/155

(21)Application number : 2000-398020

(71)Applicant : SANKEN ELECTRIC CO LTD

(22)Date of filing : 27.12.2000

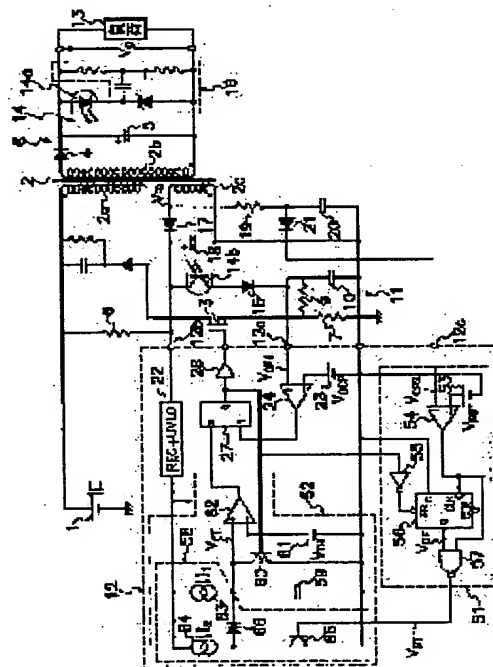
(72)Inventor : TERASAWA YOICHI

(54) SWITCHING POWER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain high conversion efficiency over a wide load range by reducing the switching loss of a switching power device, when it is light loaded.

SOLUTION: A control circuit (12) for a switching power device according to this invention is provided with a reset period detector (51), which detects only a first pulse as a reset period of a transformer (2) from a voltage (VFB) which is generated in the auxiliary winding (2c) of a transformer (2), after a MOS-FET (3) is turned off, and a timer circuit (52) which operates by a short time constant during a detection period of the detector (51) and generates an output and operates by a long time constant, during periods other than the detection period and generates an output. When the reset period of the transformer (2) is shorter than an output period by the short time constant of the timer circuit (52), while a load (13) is in a light loaded condition, the time constant of the timer circuit (52) is extended, after finishing of the reset period, and an off-state of the MOS-FET (3) is held, until the timer circuit (52) generates output, after the extension of the time constant. After that, the MOS-FET (3) is switched over to the on-state.



LEGAL STATUS

[Date of request for examination]

27.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3389603

[Date of registration]

17.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-199715

(P2002-199715A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl.⁷

H02M 3/28

識別記号

3/155

FI

H02M 3/28

3/155

テマコード(参考)

H 5H730

C

X

H

審査請求 有 請求項の数 9 OL (全 35 頁)

(21) 出願番号

特願2000-398020(P2000-398020)

(22) 出願日

平成12年12月27日 (2000.12.27)

(71) 出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72) 発明者 寺沢 陽一

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

(74) 代理人 100082049

弁理士 清水 敬一

Fターム(参考) 5H730 AA14 AA20 AS01 BB13 BB43

BB52 CC28 DD02 DD03 DD04

DD05 DD26 EE07 EE08 EE10

FD01 FD41 FF05 FF19 FG01

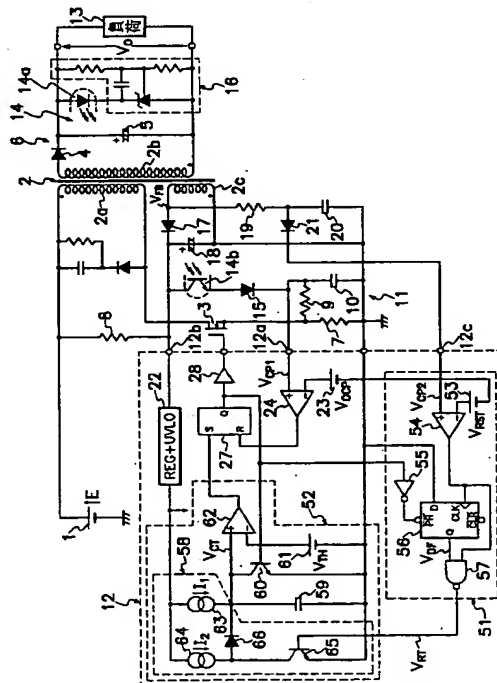
XX04 XX15 XX26 XX35 XX47

(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】 スイッチング電源装置の軽負荷時のスイッチング損失を低減して広い負荷の範囲で高い変換効率を得る。

【解決手段】 本発明によるスイッチング電源装置の制御回路(12)は、MOS-FET(3)がオフした後にトランス(2)の補助巻線(2c)に発生する電圧(V_{FB})から最初の電圧パルスのみをトランス(2)のリセット期間として検出するリセット期間検出回路(51)と、リセット期間検出回路(51)の検出期間中は短い時定数で動作して出力を発生し且つ前記の検出期間以外は長い時定数で動作して出力を発生するタイマ回路(52)とを備えている。負荷(13)が軽負荷状態でタイマ回路(52)の短い時定数での出力期間よりもトランス(2)のリセット期間が短い場合は、リセット期間の終了後にタイマ回路(52)の時定数を延長し、時定数延長後のタイマ回路(52)が出力を発生するまでMOS-FET(3)のオフ状態を保持した後、オン状態に切り換える。



【特許請求の範囲】

【請求項1】 直流電源に対して直列に接続されたトランスの1次巻線及び主スイッチング素子と、前記トランスの2次巻線に接続され且つ直流出力を発生する整流平滑回路と、該整流平滑回路の出力電圧を検出する出力電圧検出手段と、該出力電圧検出手段の検出信号により前記主スイッチング素子をオン・オフ制御する制御回路とを備え、前記制御回路は、前記整流平滑回路の出力電圧が目標値となるように前記主スイッチング素子のオン期間を決定し、前記主スイッチング素子がオフしてから所定の時間が経過した後に前記主スイッチング素子をオン状態にすることにより前記直流出力のレベルを略一定に保持するスイッチング電源装置において、前記トランスの1次巻線と電磁的に結合する補助巻線を設け、

前記制御回路は、前記主スイッチング素子がオフした後に前記補助巻線に発生する電圧から最初の電圧パルスのみを前記トランスのリセット期間として検出するリセット期間検出手段と、該リセット期間検出手段の検出期間中は短い時定数で動作して出力を発生し且つ前記検出期間以外は長い時定数で動作して出力を発生するタイマ手段とを備え、前記タイマ手段が出力を発生した後に前記主スイッチング素子をオフ状態からオン状態に切り換えることを特徴とするスイッチング電源装置。

【請求項2】 前記主スイッチング素子に流れる電流を検出する電流検出手段を設け、前記制御回路は、前記電流検出手段の検出信号と前記出力電圧検出手段の検出信号との重畳信号により前記主スイッチング素子をオン・オフ制御し、前記重畳信号の電圧レベルが基準電圧のレベルを超えたとき、前記主スイッチング素子をオフ状態にすることにより、前記直流出力のレベルを略一定に保持すると共に前記主スイッチング素子に流れる電流を所定の値に制限する請求項1に記載のスイッチング電源装置。

【請求項3】 前記リセット期間検出手段の検出電圧レベルを前記基準電圧のレベルよりも高い値に設定し、前記リセット期間検出手段は、前記電流検出手段の検出信号と前記出力電圧検出手段の検出信号と前記トランスの補助巻線の電圧の検出信号との重畳信号の電圧レベルが前記検出電圧レベルより高い最初の期間を前記トランスのリセット期間として検出する請求項2に記載のスイッチング電源装置。

【請求項4】 前記制御回路は、前記電流検出手段の検出信号と前記出力電圧検出手段の検出信号と前記補助巻線の電圧の検出信号との重畳信号の電圧レベルが前記基準電圧のレベルを超えたときに出力信号を発生して前記主スイッチング素子をオフ状態にする過電流検出手段と、前記リセット期間検出手段が検出信号を出力したときに前記過電流検出手段からの出力信号を遮断し且つ前記タイマ手段の出力信号により前記主スイッチング素子

がオン状態となったときに前記遮断状態を解除するオフ期間固定手段とを有する請求項3に記載のスイッチング電源装置。

【請求項5】 前記制御回路は、前記タイマ手段の短い時定数での出力期間よりも前記トランスのリセット期間が長いとき、前記タイマ手段の出力に関わらず前記リセット期間が終了するまで前記主スイッチング素子のオフ状態を保持した後、前記主スイッチング素子をオン状態に切り換え、

前記タイマ手段の短い時定数での出力期間よりも前記トランスのリセット期間が短いとき、前記リセット期間の終了後に前記タイマ手段の時定数を延長し、時定数延長後の前記タイマ手段が出力を発生するまで前記主スイッチング素子のオフ状態を保持した後、前記主スイッチング素子をオン状態に切り換える請求項1～3の何れか1項に記載のスイッチング電源装置。

【請求項6】 前記リセット期間検出手段は、前記トランスの補助巻線に発生する電圧の自由振動分を減衰させる積分回路を有する請求項1～5の何れか1項に記載のスイッチング電源装置。

【請求項7】 前記トランスの補助巻線に発生する電圧の波高値が前記リセット期間検出手段の検出電圧レベルよりも高い基準電圧のレベルを超えたとき、前記タイマ手段の出力を強制的にセット状態にする電圧立ち上がり検出手段を前記補助巻線とタイマ手段との間に接続した請求項1～6の何れか1項に記載のスイッチング電源装置。

【請求項8】 直流電源に対して直列に接続された主スイッチング素子及びリアクトルと、前記主スイッチング素子がオフしたときに前記リアクトルと閉回路を成すように接続された還流用整流素子及び平滑コンデンサと、前記平滑コンデンサの電圧を検出する出力電圧検出手段と、該出力電圧検出手段の検出信号により前記主スイッチング素子をオン・オフ制御する制御回路とを備え、前記制御回路は、前記平滑コンデンサの電圧が目標値となるように前記主スイッチング素子のオン期間を決定し、前記主スイッチング素子がオフしてから所定の時間が経過した後に前記主スイッチング素子をオン状態にすることにより前記平滑コンデンサの両端に発生する直流出力のレベルを略一定に保持するスイッチング電源装置において、

前記制御回路は、前記還流用整流素子が導通状態となり前記リアクトルの主スイッチング素子側の端子電圧が反対側の端子電圧より低くなったときに検出信号を発生するリアクトル電圧検出手段と、該リアクトル電圧検出手段の検出信号から最初のパルス信号のみを前記リアクトルのリセット期間として検出するリセット期間検出手段と、該リセット期間検出手段の検出期間中は短い時定数で動作して出力を発生し且つ前記検出期間以外は長い時定数で動作して出力を発生するタイマ手段とを備え、前

記タイマ手段が出力を発生した後に前記主スイッチング素子をオフ状態からオン状態に切り換えることを特徴とするスイッチング電源装置。

【請求項9】 前記リアクトル電圧検出手段は、一定のバイアス電圧を発生するバイアス電源と、該バイアス電源のバイアス電圧と前記リアクトルの主スイッチング素子側の端子電圧との差電圧を分圧する分圧抵抗と、前記還流用整流素子が導通状態となり前記分圧抵抗の分圧電圧が前記リアクトルの主スイッチング素子と反対側の端子電圧より低くなったときに検出信号を発生する比較手段とを有する請求項8に記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はスイッチング電源装置、特に軽負荷時のスイッチング損失を低減してあらゆる負荷での変換効率の向上を図ったスイッチング電源装置に属する。

【0002】

【従来の技術】 従来から一般的に広く使用されているリンギングチョークコンバータ(RCC)動作を行うフライバック方式のスイッチング電源装置を図21に示す。図21に示すスイッチング電源装置は、交流電源に接続された整流回路又はバッテリー(蓄電池)等で構成された直流電源(1)と、1次巻線(2a)及び2次巻線(2b)並びに補助巻線(2c)を有するトランス(2)と、主スイッチング素子としてのMOS-FET(MOS型電界効果トランジスタ)(3)と、整流ダイオード(4)及び平滑コンデンサ(5)を有する整流平滑回路(6)と、MOS-FET(3)に流れる電流を検出する電流検出手段としての電流検出用抵抗(7)と、起動用抵抗(8)と、抵抗(9)及びコンデンサ(10)から成る低域通過型フィルタ回路(11)と、MOS-FET(3)をオン・オフ制御する制御回路(12)と、負荷(13)の電圧 V_o を検出し且つフォトカプラ(14)の発光部(14a)及び受光部(14b)並びに逆流防止用ダイオード(15)を介してその検出信号を電圧制御信号として制御回路(12)の帰還信号入力端子(12a)に付与する出力電圧検出手段としての出力電圧検出回路(16)と、整流ダイオード(17)と、駆動用コンデンサ(18)と、フライバック電圧検出用抵抗(19)と、フライバック電圧検出用コンデンサ(20)と、逆流防止用ダイオード(21)とを備えている。トランス(2)の1次巻線(2a)及びMOS-FET(3)は直流電源(1)に対して直列に接続される。整流平滑回路(6)はトランス(2)の2次巻線(2b)と負荷(13)との間に接続される。電流検出用抵抗(7)はMOS-FET(3)と直列に接続される。起動用抵抗(8)は直流電源(1)の陽極端子と制御回路(12)の電源入力端子(12b)との間に接続される。低域通過型フィルタ回路(11)は電流検出用抵抗(7)と制御回路(12)の帰還信号入力端子(12a)との間に接続される。整流ダイオード(17)はトランス(2)の補助巻線(2c)の一端と制御回路(12)の電源入力端子(12b)との間に接

続される。駆動用コンデンサ(18)は制御回路(12)の電源入力端子(12b)と直流電源(1)の陰極端子との間に接続される。フライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)はトランス(2)の補助巻線(2c)の一端と直流電源(1)の陰極端子との間に直列に接続される。逆流防止用ダイオード(21)はフライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)の接続点と制御回路(12)の帰還信号入力端子(12a)との間に接続される。

【0003】 制御回路(12)は、電源入力端子(12b)に接続された制御回路用レギュレータ及び低電圧停止回路(22)と、制限電流値を規定する基準電圧 V_{ocp} を発生する基準電源(23)と、帰還信号入力端子(12a)に接続された非反転入力端子(+)の電圧レベルと基準電源(23)が接続された反転入力端子(-)の電圧レベルとを比較して非反転入力端子(+)の電圧レベルが反転入力端子(-)の電圧レベルを超えたときに高い電圧(H)レベルの比較出力信号を発生するコンパレータ(24)と、MOS-FET(3)がオフ状態となったときにトランス(2)の補助巻線(2c)からフライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)並びに逆流防止用ダイオード(21)を介して帰還信号入力端子(12a)に入力されるフライバック電圧の立ち上がりを検出する電圧立ち上がり検出回路(25)と、電圧立ち上がり検出回路(25)からの検出信号により駆動され且つ検出信号の最初の立ち下がりに同期して出力信号を発生する発振回路(26)と、発振回路(26)の出力信号によりセット状態となり高い電圧(H)レベルのオン信号を駆動回路(28)を介してMOS-FET(3)のゲート端子に付与すると共にコンパレータ(24)の比較出力信号によりリセット状態となり低い電圧(L)レベルのオフ信号を駆動回路(28)を介してMOS-FET(3)のゲート端子に付与するリセット優先RSフリップフロップ(27)とから構成されている。制御回路用レギュレータ及び低電圧停止回路(22)は、制御回路(12)を構成する各部に駆動用電力を供給すると共に制御回路(12)の電源入力端子(12b)から入力されるトランス(2)の補助巻線(2c)の整流電圧が所定値以下に低下したときに駆動用電力の供給を停止する。

【0004】 図21に示すスイッチング電源装置の動作は以下の通りである。直流電源(1)より電力供給が開始されると、起動用抵抗(8)を介して駆動用コンデンサ(18)が充電されると共に制御回路(12)の電源入力端子(12b)に電圧が印加され、制御回路(12)内の制御回路用レギュレータ及び低電圧停止回路(22)が動作を開始する。駆動用コンデンサ(18)の充電電圧が所定値に達して制御回路(12)内の制御回路用レギュレータ及び低電圧停止回路(22)から駆動用電力が出力されると、発振回路(26)が動作を開始し、リセット優先RSフリップフロップ(27)のセット端子(S)に出力信号が付与される。これにより、リセット優先RSフリップフロップ(27)がセット状態と

なり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。このとき、MOS-FET(3)のドレイン-ソース端子間の電圧 V_{DS} が図22(A)に示すように略0Vとなり、MOS-FET(3)に流れる電流 I_D が図22(B)に示すように直線的に増加してトランス(2)にエネルギーが蓄積される。これと共に、低域通過型フィルタ回路(11)から制御回路(12)の帰還信号入力端子(12a)を介してコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP} が図22(D)に示すように直線的に上昇し、図22(C)に示すようにトランス(2)の補助巻線(2c)に負極性の電圧 V_{FB} が発生する。

【0005】図22(D)に示すように、制御回路(12)の帰還信号入力端子(12a)からコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP} のレベルが基準電源(23)の基準電圧 V_{OCF} のレベルを超えると、コンパレータ(24)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。これにより、リセット優先RSフリップフロップ(27)がリセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与されてMOS-FET(3)がオフ状態となる。このとき、図22(B)に示すようにMOS-FET(3)に流れる電流 I_D が略0になると共にドレイン-ソース端子間の電圧 V_{DS} が0Vから急速に上昇し、トランス(2)に蓄積されたエネルギーが2次巻線(2b)から整流平滑回路(6)を介して負荷(13)に供給され、トランス(2)がリセットされる。これと同時に、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の極性が図22(C)に示すように負から正となり、フライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)並びに逆流防止用ダイオード(21)を介して制御回路(12)の帰還信号入力端子(12a)に入力される。制御回路(12)の帰還信号入力端子(12a)に入力された電圧 V_{CP} は、電圧立ち上がり検出回路(25)及びコンパレータ(24)の非反転入力端子(+)に入力され、図22(D)に示すように電圧立ち上がり検出回路(25)に入力された電圧 V_{CP} のレベルが立ち上がり検出電圧 V_{UP} のレベルを超えると、電圧立ち上がり検出回路(25)から検出信号が出力され、発振回路(26)が駆動される。なお、電圧立ち上がり検出回路(25)の立ち上がり検出電圧 V_{UP} のレベルは基準電源(23)の基準電圧 V_{OCF} のレベルよりも予め高く設定されているので、コンパレータ(24)の比較出力信号は高い電圧(H)レベルを保持する。したがって、コンパレータ(24)からの比較出力信号がリセット優先RSフリップフロップ(27)のリセット端子(R)に継続して入力されリセット状態を保持するので、駆動回路(28)を介してMOS-FET(3)のゲート端子に引き続き低い電圧(L)レベルのオフ信号が付与され、MOS-FET(3)のオフ状態を保持する。

【0006】トランス(2)のリセット期間が終了し、トランス(2)の補助巻線(2c)のフライバック電圧 V_{FB} の極性が図22(C)に示すように正から負になると、フライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)並びに逆流防止用ダイオード(21)を介して制御回路(12)の帰還信号入力端子(12a)に入力される電圧 V_{CP} が図22(D)に示すように基準電源(23)の基準電圧 V_{OCF} のレベル以下となり、コンパレータ(24)から低い電圧(L)レベルの比較出力信号が発生する。このため、リセット優先RSフリップフロップ(27)のリセット端子(R)には何も入力されず、セット端子(S)に入力される発振回路(26)の出力信号によりリセット優先RSフリップフロップ(27)がセット状態となる。これにより、リセット優先RSフリップフロップ(27)から駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与され、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の立ち下がりに同期してMOS-FET(3)がオン状態となる。このとき、トランス(2)の2次巻線(2b)側にはエネルギーの伝達が行われず、MOS-FET(3)のオフ期間中に整流平滑回路(6)の平滑コンデンサ(5)に充電された電荷が負荷(13)に供給される。以上のようにして、MOS-FET(3)がオン・オフ制御され、トランス(2)の2次巻線(2b)から整流平滑回路(6)を介して負荷(13)に直流出力が供給される。

【0007】負荷(13)の電圧 V_o は出力電圧検出回路(16)により検出され、出力電圧検出回路(16)から出力される検出信号に応じてフォトカプラ(14)の発光部(14a)の光強度が変化し、更に発光部(14a)の光強度に応じて受光部(14b)に流れる電流が変化する。フォトカプラ(14)の受光部(14b)の出力は電圧制御信号として逆流防止用ダイオード(15)を介して制御回路(12)の帰還信号入力端子(12a)に入力されると共に、低域通過型フィルタ回路(11)のコンデンサ(10)を充電する。一方、MOS-FET(3)に流れる電流 I_D は電流検出用抵抗(7)により検出され、この検出信号が低域通過型フィルタ回路(11)を通してフォトカプラ(14)の受光部(14b)の電圧制御信号に重畳される。これらの重畳信号の電圧は、制御回路(12)の帰還信号入力端子(12a)を介してコンパレータ(24)の非反転入力端子(+)に入力され、反転入力端子(-)に接続された基準電源(23)の基準電圧 V_{OCF} と比較される。MOS-FET(3)に流れる電流が増加し、コンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP} のレベルが基準電源(23)の基準電圧 V_{OCF} のレベルを超えると、コンパレータ(24)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。これにより、リセット優先RSフリップフロップ(27)がリセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与されてMOS-F

ET (3) がオフ状態となる。以上のようにして、制御回路(12)のコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP} が制御目標値、即ち基準電源(23)の基準電圧 V_{OCF} に略等しくなるようにMOS-FET(3)のオン期間を決定することにより、MOS-FET(3)に流れる電流が制限され、MOS-FET(3)の過電流保護が可能となる。

【0008】負荷(13)のインピーダンスが高くなると、出力電圧検出回路(16)の検出信号の電圧が上昇するので、フォトカプラ(14)の発光部(14a)の光強度が増加して受光部(14b)に流れる電流が増加する。このため、低域通過型フィルタ回路(11)のコンデンサ(10)の充電電圧が上昇し、コンパレータ(24)の非反転入力端子(+)に入力される電圧がコンデンサ(10)の充電電圧から基準電源(23)の基準電圧 V_{OCF} のレベルに達するまでの時間が短くなる。したがって、リセット優先RSフリップフロップ(27)から駆動回路(28)を介してMOS-FET(3)のゲート端子に付与される制御パルス信号のパルス幅が狭くなり、MOS-FET(3)に流れる電流の時間幅が狭くなる。逆に、負荷(13)のインピーダンスが低くなると、前記の動作と逆の動作が行われ、リセット優先RSフリップフロップ(27)から駆動回路(28)を介してMOS-FET(3)のゲート端子に付与される制御パルス信号のパルス幅が広がる。以上により、負荷(13)の電圧又はインピーダンスの変動に応じてリセット優先RSフリップフロップ(27)から駆動回路(28)を介してMOS-FET(3)のゲート端子に付与する制御パルス信号のパルス幅が制御され、負荷(13)に印加される直流電圧 V_0 が一定レベルに保持される。

【0009】また、図24は、MOS-FET(3)のオフ期間を固定し、オン期間を変化させることにより負荷(13)に印加される直流電圧 V_0 を一定レベルに保持するスイッチング電源装置を示す。即ち、図24に示すスイッチング電源装置は、フライバック電圧検出用抵抗(19)、フライバック電圧検出用コンデンサ(20)及び逆流防止用ダイオード(21)を省略すると共に制御回路(12)内の電圧立ち上がり検出回路(25)を省略し、発振回路(26)の代わりにリセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号 V_{FF} が入力されてから所定の時間 T_0 が経過した後に単発パルス形状の出力信号 V_{TH} を発生するタイマ回路(29)を設けた点が図21に示すスイッチング電源装置と異なる。

【0010】図24に示すスイッチング電源装置では、図25(D)に示すタイマ回路(29)の出力信号 V_{TH} によりリセット優先RSフリップフロップ(27)がセット状態となり、図25(E)に示すようにリセット優先RSフリップフロップ(27)から高い電圧(H)レベルの出力信号 V_{FF} が発生してMOS-FET(3)がオン状態となる。また、図25(C)に示すように制御回路(12)の帰還信号入力端子(12a)からコンパレータ(24)の非反転入力端子(+)に入

力される電圧 V_{CP} のレベルが基準電源(23)の基準電圧 V_{OCF} のレベルを超えると、コンパレータ(24)から高い電圧(H)レベルの比較出力信号が発生してリセット優先RSフリップフロップ(27)がリセット状態となり、図25(E)に示すようにリセット優先RSフリップフロップ(27)から低い電圧(L)レベルの出力信号 V_{FF} が発生してMOS-FET(3)がオフ状態となる。MOS-FET(3)がオフしてから所定の時間 T_0 が経過すると、図25(D)に示すようにタイマ回路(29)から出力信号 V_{TH} が発生してリセット優先RSフリップフロップ(27)が再びセット状態となり、図25(E)に示すようにリセット優先RSフリップフロップ(27)から高い電圧(H)レベルの出力信号 V_{FF} が発生してMOS-FET(3)が再びオン状態となる。即ち、タイマ回路(29)の出力信号 V_{TH} によりMOS-FET(3)のオフ期間が固定されるので、図25(A)及び(B)に示すように軽負荷時におけるMOS-FET(3)のドレインソース端子間の電圧 V_{DS} 及びドレイン電流 I_D の各波形の間隔が図21に示すスイッチング電源装置の場合(図23)に比較して広くなる。したがって、軽負荷時においてMOS-FET(3)のスイッチング周波数の増加が図21に示す場合に比較して少ないため、軽負荷時におけるスイッチング損失が図21に示すスイッチング電源装置より小さい利点がある。

【0011】

【発明が解決しようとする課題】図21に示す従来のスイッチング電源装置では、負荷(13)のインピーダンスが高い軽負荷状態になると、図23(A)～(D)に示すようにMOS-FET(3)のドレインソース端子間の電圧 V_{DS} 及びドレイン電流 I_D 、トランス(2)の補助巻線(2c)の電圧 V_{FB} 並びにコンパレータ(24)の非反転入力端子(+)の電圧 V_{CP} の各波形の間隔が図22(A)～(D)に示す重負荷時の場合に比較して狭くなるため、MOS-FET(3)のスイッチング周波数が高くなる。したがって、負荷(13)が軽くなるにつれてMOS-FET(3)のオン・オフ回数が増加するため、スイッチング損失が増加し、軽負荷時の変換効率が低下する問題点が生じていた。

【0012】また、図24に示す従来のスイッチング電源装置では、タイマ回路(29)の出力信号 V_{TH} によりMOS-FET(3)のオフ期間が固定されているため、軽負荷時におけるスイッチング損失が図21に示す場合に比較して小さい利点はあるものの、MOS-FET(3)のオフ期間を極端に長くすると重負荷時においてMOS-FET(3)のスイッチング周波数が必要以上に低下し、トランス(2)が大型になる等の弊害を生ずる。そのため、MOS-FET(3)のオフ期間は最大負荷時に必要なスイッチング周波数により決定される。しかし、軽負荷時にはトランス(2)で取り扱われるエネルギーが小さいため、より低いスイッチング周波数でも十分であるにもかかわらず、最大負荷時に必要なスイッチング周波数によって決定される短いオフ期間でMOS-FET(3)がオン・オフ

動作することになる。したがって、負荷(13)が軽くなるにつれて高いスイッチング周波数でMOS-FET(3)がオン・オフ動作してスイッチング損失が増加するので、結局、図24に示すスイッチング電源装置でも軽負荷時の変換効率が低下する問題点は解消できなかった。

【0013】そこで、本発明は軽負荷時のスイッチング損失を低減して広い負荷の範囲で変換効率を向上できるスイッチング電源装置を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明によるスイッチング電源装置は、直流電源(1)に対して直列に接続されたトランス(2)の1次巻線(2a)及び主スイッチング素子(3)と、トランス(2)の2次巻線(2b)に接続され且つ直流出力(V_o)を発生する整流平滑回路(6)と、整流平滑回路(6)の出力電圧(V_o)を検出する出力電圧検出手段(16)と、出力電圧検出手段(16)の検出信号により主スイッチング素子(3)をオン・オフ制御する制御回路(12)とを備えている。制御回路(12)は、整流平滑回路(6)の出力電圧(V_o)が目標値となるように主スイッチング素子(3)のオン期間を決定し、主スイッチング素子(3)がオフしてから所定の時間が経過した後に主スイッチング素子(3)をオン状態にすることにより整流平滑回路(6)の直流出力(V_o)のレベルを略一定に保持する。また、トランス(2)の1次巻線(2a)と電磁的に結合する補助巻線(2c)を設け、制御回路(12)は、主スイッチング素子(3)がオフした後に補助巻線(2c)に発生する電圧(V_{FB})から最初の電圧パルスのみをトランス(2)のリセット期間として検出するリセット期間検出手段(51)と、リセット期間検出手段(51)の検出期間中は短い時定数で動作して出力を発生し且つ前記の検出期間以外は長い時定数で動作して出力を発生するタイマ手段(52)とを備え、タイマ手段(52)が出力を発生した後に主スイッチング素子(3)をオフ状態からオン状態に切り換える。

【0015】負荷インピーダンスが高い軽負荷時において、トランス(2)のリセット期間の終了後にタイマ手段(52)の時定数を延長し、時定数延長後のタイマ手段(52)が出力を発生した後に主スイッチング素子(3)をオフ状態からオン状態にすることにより、主スイッチング素子(3)のオフ期間が延長され、主スイッチング素子(3)のスイッチング周波数が低下する。したがって、主スイッチング素子(3)のオン・オフ回数が減少するので、軽負荷時でのスイッチング損失を低減でき、広い負荷の範囲でスイッチング電源装置の変換効率を向上することが可能となる。即ち、負荷(13)が軽負荷状態のときは、主スイッチング素子(3)がオフ状態となった後にトランス(2)の蓄積エネルギーが比較的短期間のうちに2次巻線(2b)から整流平滑回路(6)を介して負荷(13)に供給されるため、トランス(2)のリセット期間が短くなる。これにより、トランス(2)の補助巻線(2c)に自由振動分を含む狭幅の電圧パルスが発生し、最初の狭幅の電圧パルスのみをト

ランス(2)のリセット期間としてリセット期間検出手段(51)により検出される。リセット期間検出手段(51)の検出期間が短い時定数で動作するタイマ手段(52)の発生する出力期間よりも短くなると、トランス(2)のリセット期間終了後にタイマ手段(52)の時定数が長い時定数に切り換えられるため、タイマ手段(52)の出力期間と、それによって決定される主スイッチング素子(3)のオフ期間が延長され、主スイッチング素子(3)のスイッチング周波数が低下する。更に負荷(13)が軽くなると、リセット期間検出手段(51)の検出期間も更に短くなり、それにつれてタイマ手段(52)が短い時定数で動作する期間が短くなるため、タイマ手段(52)の出力期間は更に長くなる。この結果、負荷(13)が軽くなるにつれて主スイッチング素子(3)のオフ期間がタイマ手段(52)が長い時定数のみで動作することで発生するオフ期間に近づいて行く。また、負荷(13)が重負荷状態のときは、主スイッチング素子(3)がオフ状態となった後にトランス(2)の蓄積エネルギーが比較的長期間に亘り2次巻線(2b)から整流平滑回路(6)を介して負荷(13)に供給されるため、トランス(2)のリセット期間が長くなる。これにより、トランス(2)の補助巻線(2c)に広幅の電圧パルスが発生し、この広幅の電圧パルスをトランス(2)のリセット期間としてリセット期間検出手段(51)により検出される。リセット期間検出手段(51)の検出期間中はタイマ手段(52)が短い時定数で動作して出力を発生するため、リセット期間検出手段(51)の検出期間がタイマ手段(52)の出力期間よりも長くなる。この場合は、主スイッチング素子(3)がオフしてから所定の時間が経過した後に主スイッチング素子(3)をオン状態に切り換える通常のオフ期間固定動作が行われる。

【0016】本発明の一実施の形態では、主スイッチング素子(3)に流れる電流を検出する電流検出手段(7)を設け、制御回路(12)は、電流検出手段(7)の検出信号と出力電圧検出手段(16)の検出信号との重畳信号(V_{CP1})により主スイッチング素子(3)をオン・オフ制御し、重畳信号(V_{CP1})の電圧レベルが基準電圧(V_{OCP})のレベルを超えたとき、主スイッチング素子(3)をオフ状態にすることにより、整流平滑回路(6)の直流出力(V_o)のレベルを略一定に保持すると共に主スイッチング素子(3)に流れる電流を所定の値に制限する。

【0017】本発明の変更実施の形態では、リセット期間検出手段(51)の検出電圧レベル(V_{RST})を基準電圧(V_{OCP})のレベルよりも高い値に設定し、リセット期間検出手段(51)は、電流検出手段(7)の検出信号と出力電圧検出手段(16)の検出信号とトランス(2)の補助巻線(2c)の電圧(V_{FB})の検出信号との重畳信号(V_{CP})の電圧レベルが検出電圧レベル(V_{RST})より高い最初の期間をトランス(2)のリセット期間として検出するので、制御回路(12)の信号入力端子の数を削減できると共に回路構成を簡略化できる利点がある。また、制御回路(12)は、電流検出

手段(7)の検出信号と出力電圧検出手段(16)の検出信号と補助巻線(2c)の電圧(V_{FB})の検出信号との重畳信号(V_{CP})の電圧レベルが基準電圧(V_{OCP})のレベルを超えたときに出力信号を発生して主スイッチング素子(3)をオフ状態にする過電流検出手段(23,24)と、リセット期間検出手段(51)が検出信号(V_{RT})を出力したときに過電流検出手段(23,24)からの出力信号を遮断し且つタイマ手段(52)の出力信号により主スイッチング素子(3)がオン状態となったときに遮断状態を解除するオフ期間固定手段(67)とを有する。これにより、主スイッチング素子(3)がオフ状態且つトランス(2)のリセット期間中でもタイマ手段(52)の出力信号により主スイッチング素子(3)がオン状態となるので、主スイッチング素子(3)のオフ期間を固定できる。したがって、軽負荷時では主スイッチング素子(3)のオフ期間が延長されてスイッチング周波数が低下するが、重負荷時では主スイッチング素子(3)のスイッチング周波数が必要以上に低下せず、オフ期間固定動作が良好に行われるので、トランス(2)を大型化することなく軽負荷時でのスイッチング損失を低減できる利点がある。

【0018】本発明の他の変更実施の形態における制御回路(12)は、タイマ手段(52)の短い時定数での出力期間よりもトランス(2)のリセット期間が長いとき、タイマ手段(52)の出力に関わらずトランス(2)のリセット期間が終了するまで主スイッチング素子(3)のオフ状態を保持した後、主スイッチング素子(3)をオン状態に切り換え、タイマ手段(52)の短い時定数での出力期間よりもトランス(2)のリセット期間が短いとき、リセット期間の終了後にタイマ手段(52)の時定数を延長し、時定数延長後のタイマ手段(52)が出力を発生するまで主スイッチング素子(3)のオフ状態を保持した後、主スイッチング素子(3)をオン状態に切り換える。これにより、軽負荷時はタイマ手段(52)の延長された時定数による長いオフ期間により主スイッチング素子(3)が低い周波数でオン・オフ動作するが、重負荷状態になるとトランス(2)のリセット期間終了時に主スイッチング素子(3)をオン状態にする通常のリンギングチョークコンバータ(RCC)動作が行われる。

【0019】また、リセット期間検出手段(51)内にトランス(2)の補助巻線(2c)に発生する電圧(V_{FB})の自由振動分を減衰させる積分回路(74)を有する場合は、積分回路(74)によりトランス(2)の補助巻線(2c)の電圧(V_{FB})に含まれる自由振動分を除去して最初の電圧パルス分のみをトランス(2)のリセット期間として検出するので、簡易な回路構成で且つ高い精度でトランス(2)のリセット期間を検出することができる利点がある。

【0020】また、トランス(2)の補助巻線(2c)に発生する電圧(V_{FB})の波高値がリセット期間検出手段(51)の検出電圧レベル(V_{RST})よりも高い基準電圧(V_{SET})のレベルを超えたとき、タイマ手段(52)の出力を強制的にセッ

ト状態にする電圧立ち上がり検出手段(25)をトランス(2)の補助巻線(2c)とタイマ手段(52)との間に接続した場合は、トランス(2)の補助巻線(2c)の電圧(V_{FB})の立ち下がりに同期した通常のリンギングチョークコンバータ(RCC)動作に切り換えることができるので、負荷(13)の変動範囲が小さい用途で常時通常のRCC動作をさせることが望ましい場合でも同一の制御回路を利用できる利点がある。

【0021】本発明によるもう一つのスイッチング電源装置は、直流電源(1)に対して直列に接続された主スイッチング素子(3)及びリアクトル(30)と、主スイッチング素子(3)がオフしたときにリアクトル(30)と閉回路を成すように接続された還流用整流素子(31)及び平滑コンデンサ(32)と、平滑コンデンサ(32)の電圧(V_0)を検出する出力電圧検出手段(16)と、出力電圧検出手段(16)の検出信号により主スイッチング素子(3)をオン・オフ制御する制御回路(12)とを備えている。制御回路(12)は、平滑コンデンサ(32)の電圧(V_0)が目標値となるように主スイッチング素子(3)のオン期間を決定し、主スイッチング素子(3)がオフしてから所定の時間が経過した後に主スイッチング素子(3)をオン状態にすることにより平滑コンデンサ(32)の両端に発生する直流出力(V_0)のレベルを略一定に保持する。また、制御回路(12)は、還流用整流素子(31)が導通状態となりリアクトル(30)の主スイッチング素子(3)側の端子電圧(V_1)が反対側の端子電圧(V_2)より低くなったときに検出信号(V_L)を発生するリアクトル電圧検出手段(81)と、リアクトル電圧検出手段(81)の検出信号(V_L)から最初のパルス信号のみをリアクトル(30)のリセット期間として検出するリセット期間検出手段(51)と、リセット期間検出手段(51)の検出期間中は短い時定数で動作して出力を発生し且つ前記の検出期間以外は長い時定数で動作して出力を発生するタイマ手段(52)とを備え、タイマ手段(52)が出力を発生した後に主スイッチング素子(3)をオフ状態からオン状態に切り換える。

【0022】負荷インピーダンスが高い軽負荷時において、リアクトル(30)のリセット期間の終了後にタイマ手段(52)の時定数を延長し、時定数延長後のタイマ手段(52)が出力を発生した後に主スイッチング素子(3)をオフ状態からオン状態にすることにより、主スイッチング素子(3)のオフ期間が延長され、主スイッチング素子(3)のスイッチング周波数が低下する。これにより、主スイッチング素子(3)のオン・オフ回数が減少するので、軽負荷時でのスイッチング損失を低減でき、広い負荷の範囲でチョップ方式のスイッチング電源装置の変換効率を向上することが可能となる。また、リアクトル(30)を小型化するために主スイッチング素子(3)のスイッチング周波数を高くした場合、軽負荷時に主スイッチング素子(3)のオン期間が極端に短くなり、制御上困難となる場合があるが、このスイッチング電源装置では軽負荷時に

主スイッチング素子(3)のオフ期間が自動的に延長されるため、軽負荷時での主スイッチング素子(3)のオン期間が極端に短くならず、軽負荷時でも安定に動作させることが可能となる。

【0023】また、上記のスイッチング電源装置のリアクトル電圧検出手段(81)は、一定のバイアス電圧(V_{BS})を発生するバイアス電源(82)と、バイアス電源(82)のバイアス電圧(V_{BS})とリアクトル(30)の主スイッチング素子(3)側の端子電圧(V_1)との差電圧を分圧する分圧抵抗(83,84)と、還流用整流素子(31)が導通状態となり分圧抵抗(83,84)の分圧電圧(V_{DIV})がリアクトル(30)の主スイッチング素子(3)と反対側の端子電圧(V_2)より低くなったときに検出信号(V_L)を発生する比較手段(85)とを有する。このため、起動時や過負荷時等で直流電源(1)の出力電圧が略ゼロの場合、バイアス電源(82)のバイアス電圧(V_{BS})とリアクトル(30)の主スイッチング素子(3)側の端子電圧(V_1)との差電圧の分圧電圧(V_{DIV})がリアクトル(30)の主スイッチング素子(3)と反対側、即ち出力側の端子電圧(V_2)よりも高くなるので、リアクトル電圧検出手段(81)はリアクトル電圧の検出信号(V_L)を発生しない。これによって、タイマ手段(52)が長い時定数で動作するため、主スイッチング素子(3)は最長のオフ期間で動作し続ける。したがって、主スイッチング素子(3)を最低のスイッチング周波数で動作させることができるので、起動時や過負荷時等に主スイッチング素子(3)にかかる電氣的なストレスを軽減することが可能となる。

【0024】

【発明の実施の形態】以下、本発明をフライバック方式のスイッチング電源装置に適用した一実施の形態を図1～図4に基づいて説明する。但し、これらの図面では図21～図25と実質的に同一の箇所には同一の符号を付し、その説明を省略する。本実施の形態のスイッチング電源装置は、図1に示すように、制御回路用レギュレータ及び低電圧停止回路(22)と、基準電源(23)と、コンパレータ(24)と、リセット優先RSフリップフロップ(27)と、駆動回路(28)と、リセット期間検出手段としてのリセット期間検出回路(51)と、タイマ手段としてのタイマ回路(52)とを備えた制御回路(12)を有する。リセット期間検出回路(51)は、コンパレータ(24)の非反転入力端子(+)に接続され、MOS-FET(3)がオフした後にトランス(2)の補助巻線(2c)に発生する電圧 V_{FB} から最初の電圧パルスのみをトランス(2)のリセット期間として検出する。タイマ回路(52)は、リセット期間検出回路(51)の検出信号 V_{RT} が低い電圧(L)レベルの間中は短い時定数で動作してリセット優先RSフリップフロップ(27)のセット端子(S)に付与する出力信号を発生し、検出信号 V_{FB} が高い電圧(H)レベルのときは長い時定数で動作してリセット優先RSフリップフロップ(27)のセット端子(S)に付与する出力信号を発生する。

【0025】リセット期間検出回路(51)は、リセット期

間検出レベルを規定する基準電圧 V_{RST} を発生する基準電源(53)と、非反転入力端子(+)に入力される電圧が反転入力端子(-)に入力される基準電源(53)の基準電圧 V_{RST} のレベルを超えたときに高い電圧(H)レベルの比較出力信号を発生するリセット期間検出用コンパレータ(54)と、リセット優先RSフリップフロップ(27)の出力信号の反転信号を出力する反転器(55)と、プリセット入力端子(PR)に入力される反転器(55)の出力信号でセットされ高い電圧(H)レベルの出力信号 V_{DF} を発生すると共にクロック入力端子(CLK)に入力されるリセット期間検出用コンパレータ(54)の比較出力信号の最初の立ち下がり低い電圧(L)レベルの出力信号 V_{DF} を発生するプリセット入力付Dフリップフロップ(56)と、リセット期間検出用コンパレータ(54)の比較出力信号とプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} との論理積の反転信号をリセット期間検出信号 V_{RT} として出力するNANDゲート(57)とを備えている。

【0026】タイマ回路(52)は、時定数切換回路(58)

と、時定数切換回路(58)の出力端子と接地端子との間に接続されたタイマ用コンデンサ(59)と、タイマ用コンデンサ(59)と並列に接続され且つベース端子に付与されるリセット優先RSフリップフロップ(27)の出力信号が高い電圧(H)レベルとなったときにオン状態となる放電用トランジスタ(60)と、基準電圧 V_{TH} を発生する基準電源(61)と、非反転入力端子(+)に入力されるタイマ用コンデンサ(59)の電圧 V_{CT} が反転入力端子(-)に入力される基準電源(61)の基準電圧 V_{TH} のレベルを超えたときに高い電圧(H)レベルの比較出力信号を発生するコンパレータ(62)とを備えている。時定数切換回路(58)は、制御回路用レギュレータ及び低電圧停止回路(22)に接続され且つ一定値 I_1, I_2 (但し $I_1 < I_2$)の定電流出力を発生する第1及び第2の定電流源(63,64)と、コレクタ端子及びエミッタ端子がそれぞれ第2の定電流源(64)の出力端子及び接地端子に接続され且つリセット期間検出回路(51)内のNANDゲート(57)からベース端子に付与されるリセット期間検出信号 V_{RT} が低い電圧(L)レベルのときにオフ状態となり高い電圧(H)レベルのときにオン状態となる時定数切換用トランジスタ(65)と、第2の定電流源(64)の出力端子及び時定数切換用トランジスタ(65)のコレクタ端子の接続点と第1の定電流源(63)の出力端子との間に第2の定電流源(64)の定電流出力を許容する極性で接続された逆流防止用ダイオード(66)とを備えている。制御回路用レギュレータ及び低電圧停止回路(22)、基準電源(23)、コンパレータ(24)、リセット優先RSフリップフロップ(27)及び駆動回路(28)は、図24に示す制御回路(12)と略同様であるため説明は省略する。なお、図1に示す制御回路(12)は、リセット期間検出回路(51)の入力端子に接続されたリセット期間検出端子(12c)を有し、MOS-FET(3)のオフ時にトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} がフライ

バック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)並びに逆流防止用ダイオード(21)を介してリセット期間検出端子(12c)に入力される点が図24に示す制御回路(12)と異なる。その他の構成は、図24に示す従来のスイッチング電源装置と略同様である。

【0027】図1に示す構成において、図2に示す時刻 t_0 にて直流電源(1)より直流電力の供給が開始されると、起動用抵抗(8)を介して駆動用コンデンサ(18)が充電されると共に制御回路(12)の電源入力端子(12b)に電圧が印加され、制御回路(12)内の制御回路用レギュレータ及び低電圧停止回路(22)が動作を開始する。駆動用コンデンサ(18)の充電電圧が所定値に達して制御回路(12)内の制御回路用レギュレータ及び低電圧停止回路(22)から駆動用電力が出力されると、タイマ回路(52)が動作を開始し、リセット優先RSフリップフロップ(27)のセット端子(S)に出力信号が付与される。これにより、リセット優先RSフリップフロップ(27)がセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。このとき、図2(A)に示すようにMOS-FET(3)のドレイン-ソース端子間の電圧 V_{DS} が略0Vとなり、図2(B)に示すようにMOS-FET(3)のドレイン電流 I_D が増加してトランス(2)にエネルギーが蓄積される。これと共に、図2(D)に示すように低域通過型フィルタ回路(11)から制御回路(12)の帰還信号入力端子(12a)を介してコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP1} が直線的に上昇し、図2(C)に示すようにトランス(2)の補助巻線(2c)に負極性の電圧 V_{FB} が発生する。トランス(2)の補助巻線(2c)に発生した負極性の電圧 V_{FB} は、フライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)並びに逆流防止用ダイオード(21)を介して制御回路(12)のリセット期間検出端子(12c)に入力される。このとき、リセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の非反転入力端子(+)に入力される電圧 V_{CP2} は図2(E)に示すように略0Vであるから、リセット期間検出用コンパレータ(54)から低い電圧(L)レベルの出力信号を発生する。一方、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号は、リセット期間検出回路(51)内の反転器(55)を介してプリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)に入力され、図2(F)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} の電圧レベルが低(L)レベルから高(H)レベルとなる。したがって、NANDゲート(57)の入力端子にはリセット期間検出用コンパレータ(54)の低い電圧(L)レベルの出力信号とプリセット入力付Dフリップフロップ(56)の高い電圧(H)レベルの出力信号 V_{DF} が入力されるので、図2(G)に示すようにNANDゲート(57)から出力されるリセット期間検出信号 V_{RT} は高い電圧(H)レベルを保

持する。また、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号はタイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与されてオン状態となるので、図2(H)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} は0Vを保持する。

【0028】図2(D)に示すように、時刻 t_1 にて制御回路(12)の帰還信号入力端子(12a)からコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP1} が基準電源(23)の基準電圧 V_{REF} のレベルに達すると、コンパレータ(24)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。これにより、リセット優先RSフリップフロップ(27)がリセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与されてMOS-FET(3)がオフ状態となる。このとき、コンパレータ(24)の非反転入力端子(+)の入力電圧 V_{CP1} が図2(D)に示すように急速に降下し、MOS-FET(3)のドレイン電流 I_D が図2(B)に示すように略0になると共にドレイン-ソース端子間の電圧 V_{DS} が図2(A)に示すように0Vから急速に上昇し、トランス(2)に蓄積されたエネルギーが2次巻線(2b)から整流平滑回路(6)を介して負荷(13)に供給され、トランス(2)がリセットされる。これと同時に、図2(C)に示すようにトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の極性が負から正となり、フライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)並びに逆流防止用ダイオード(21)を介して制御回路(12)のリセット期間検出端子(12c)に入力される。ここで、起動時はトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} が低いため、図2(E)に示すように制御回路(12)のリセット期間検出端子(12c)の電圧 V_{CP2} はリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルより低くなる。このため、リセット期間検出用コンパレータ(54)の比較出力信号の電圧レベルは低い(L)レベルを保持し、プリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共にNANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)にはリセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} の電圧レベルは図2(F)に示すように高い(H)レベルを保持する。したがって、図2(G)に示すようにNANDゲート(57)から出力されるリセット期間検出信号 V_{RT} は高い電圧(H)レベルを保持する。

【0029】NANDゲート(57)から出力される高い電圧(H)レベルのリセット期間検出信号 V_{RT} は、タイマ回路(52)を構成する時定数切換回路(58)内の時定数切換用

トランジスタ(65)のベース端子に付与され、時定数切
換用トランジスタ(65)がオン状態となる。また、リセット
優先RSフリップフロップ(27)の低い電圧(L)レベルの
出力信号は、タイマ回路(52)内の放電用トランジスタ(6
0)のベース端子に付与され、放電用トランジスタ(60)が
オン状態からオフ状態となる。このとき、時定数切換回
路(58)内の第1の定電流源(63)からタイマ用コンデンサ
(59)に一定値 I_1 の電流が流れるので、タイマ用コンデ
ンサ(59)が長い時定数で充電され、図2(H)に示すよう
にタイマ用コンデンサ(59)の電圧 V_{CT} が直線的に上昇す
る。

【0030】時刻 t_2 にてトランス(2)のリセット期間が
終了し、タイマ用コンデンサ(59)の電圧 V_{CT} が図2(H)
に示すように基準電源(61)の基準電圧 V_{TH} のレベルに達
すると、コンパレータ(62)から高い電圧(H)レベルの比
較出力信号が発生し、リセット優先RSフリップフロッ
プ(27)のセット端子(S)に付与される。これにより、リ
セット優先RSフリップフロップ(27)がセット状態とな
り、駆動回路(28)を介してMOS-FET(3)のゲート端子
に高い電圧(H)レベルのオン信号が付与されてMOS
-FET(3)がオン状態となる。これと同時に、トランス
(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の
極性が図2(C)に示すように正から負となるので、制御
回路(12)のリセット期間検出端子(12c)からリセット期
間検出回路(51)に入力される電圧 V_{CP2} が図2(E)に示
すように略0Vまで降下すると共に、制御回路(12)の帰
還信号入力端子(12a)からコンパレータ(24)の非反転入
力端子(+)に入力される電圧 V_{CP1} が図2(D)に示すよう
に再び上昇する。また、タイマ回路(52)の放電用トラン
ジスタ(60)がオフ状態からオン状態となり、タイマ用コ
ンデンサ(59)が放電されるので、タイマ用コンデンサ(5
9)の電圧 V_{CT} が図2(H)に示すように略0Vまで降下す
る。このとき、トランス(2)の2次巻線(2b)側にはエネ
ルギの伝達が行われず、MOS-FET(3)のオフ期間中
に整流平滑回路(6)の平滑コンデンサ(5)に充電された電
荷が負荷(13)に供給される。

【0031】負荷(13)のインピーダンスが低い重負荷状
態の場合は、図3(D)に示すように時刻 t_1 にて制御回
路(12)の帰還信号入力端子(12a)の電圧 V_{CP1} が基準電源
(23)の基準電圧 V_{OCP} のレベルに達してMOS-FET
(3)がオフ状態になると、トランス(2)の補助巻線(2c)に
図3(C)に示すようなフライバック電圧 V_{FB} が発生す
る。このとき、制御回路(12)のリセット期間検出端子(1
2c)の電圧 V_{CP2} が図3(E)に示すように上昇し、時刻 t_1
にてリセット期間検出回路(51)内の基準電源(53)の基
準電圧 V_{RST} のレベルよりも高くなると、リセット期間
検出用コンパレータ(54)の比較出力信号が低い電圧(L)
レベルから高い電圧(H)レベルとなる。リセット期間検
出用コンパレータ(54)の高い電圧(H)レベルの比較出力
信号は、プリセット入力付Dフリップフロップ(56)のク

ロック入力端子(CLK)に入力されると共に、NANDゲ
ート(57)の一方の入力端子に入力される。また、プリセ
ット入力付Dフリップフロップ(56)のプリセット入力端
子(PR)には、リセット優先RSフリップフロップ(27)の
低い電圧(L)レベルの出力信号が反転器(55)を介して入
力されるので、NANDゲート(57)の他方の入力端子に
入力されるプリセット入力付Dフリップフロップ(56)の
出力信号 V_{DF} は図3(F)に示すように高い電圧(H)レベ
ルを保持する。したがって、図3(G)に示すようにNAN
Dゲート(57)から低い電圧(L)レベルのリセット期間
検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切
換回路(58)の時定数切換用トランジスタ(65)のベース端
子に付与されるので、時定数切換用トランジスタ(65)が
オフ状態となる。また、リセット優先RSフリップフロ
ップ(27)の低い電圧(L)レベルの出力信号は、タイマ回
路(52)内の放電用トランジスタ(60)のベース端子に付与
され、放電用トランジスタ(60)がオン状態からオフ状態
となる。このとき、時定数切換回路(58)内の逆流防止用
ダイオード(66)が導通状態となり、第1及び第2の定電
流源(63,64)からタイマ用コンデンサ(59)に一定値(I_1
+ I_2)の電流が流れるので、タイマ用コンデンサ(59)が
短い時定数で充電され、図3(H)に示すようにタイマ用
コンデンサ(59)の電圧 V_{CT} が起動時よりも急な勾配で直
線的に上昇する。

【0032】図3(H)に示すように、タイマ用コンデン
サ(59)の電圧 V_{CT} が時刻 t_2 にて基準電源(61)の基準電
圧 V_{TH} のレベルに達すると、コンパレータ(62)から高い
電圧(H)レベルの比較出力信号が発生し、リセット優先
RSフリップフロップ(27)のセット端子(S)に付与され
る。一方、制御回路(12)の帰還信号入力端子(12a)から
コンパレータ(24)の非反転入力端子(+)に入力される電
圧 V_{CP1} は図3(D)に示すように基準電源(23)の基準電
圧 V_{OCP} 以下であるから、コンパレータ(24)から低い電
圧(L)レベルの比較出力信号が発生し、リセット優先R
Sフリップフロップ(27)のリセット端子(R)に付与され
る。これにより、リセット優先RSフリップフロップ(2
7)がセット状態となり、駆動回路(28)を介してMOS-
FET(3)のゲート端子に高い電圧(H)レベルのオン信
号が付与されてMOS-FET(3)がオン状態となる。こ
のとき、MOS-FET(3)のドレイン電流 I_D が図3
(B)に示すように上昇するので、制御回路(12)の帰還信
号入力端子(12a)からコンパレータ(24)の非反転入力端
子(+)に入力される電圧 V_{CP1} も図3(D)に示すように上
昇する。これと同時に、トランス(2)の補助巻線(2c)に
発生するフライバック電圧 V_{FB} の極性が図3(C)に示す
ように正から負となるので、制御回路(12)のリセット期
間検出端子(12c)からリセット期間検出回路(51)内のリ
セット期間検出用コンパレータ(54)の非反転入力端子
(+)に入力される電圧 V_{CP2} が図3(E)に示すように基準
電源(53)の基準電圧 V_{RST} のレベルよりも低くなり、リ

セット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなる。このとき、図3(F)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が一旦低い電圧(L)レベルまで降下した後、瞬時に高い電圧(H)レベルに復帰する。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図3(G)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなる。これと同時に、リセット優先RSフリップフロップ(27)から出力される高(H)レベルの電圧信号により、タイマ回路(52)内の放電用トランジスタ(60)がオフ状態からオン状態となり、タイマ用コンデンサ(59)が放電されるので、図3(H)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで降下する。このとき、トランス(2)の2次巻線(2b)側にはエネルギーの伝達が行われず、MOS-FET(3)のオフ期間中に整流平滑回路(6)の平滑コンデンサ(5)に充電された電荷が負荷(13)に供給される。

【0033】また、負荷(13)のインピーダンスが高い軽負荷状態の場合は、図4(D)に示すように時刻 t_1 にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP1} が基準電源(23)の基準電圧 V_{OCP} のレベルに達してMOS-FET(3)がオフ状態になると、トランス(2)の補助巻線(2c)に図4(C)に示すようなフライバック電圧 V_{FB} が発生する。このとき、制御回路(12)のリセット期間検出端子(12c)の電圧 V_{CP2} が図4(E)に示すように上昇し、時刻 t_{1A} にてリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルよりも高くなると、リセット期間検出用コンパレータ(54)の比較出力信号が低い電圧(L)レベルから高い電圧(H)レベルとなる。リセット期間検出用コンパレータ(54)の高い電圧(H)レベルの比較出力信号は、プリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)にはリセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図4(F)に示すように高い電圧(H)レベルを保持する。したがって、図4(G)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)のベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の逆流防止用ダイオード(66)が導通状態となり、第1及び第2の定

電流源(63,64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図4(H)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が起動時よりも急な勾配で直線的に上昇する。

【0034】時刻 t_{1B} にてトランス(2)のリセット期間が終了すると、図4(C)に示すようにトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} が低下し、制御回路(12)のリセット期間検出端子(12c)からリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の非反転入力端子(+)に入力される電圧 V_{CP2} が図4(E)に示すように基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなるので、リセット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなる。このとき、図4(F)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が高い電圧(H)レベルから低い電圧(L)レベルとなる。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図4(G)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなるので、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)がオフ状態からオン状態となる。したがって、時刻 t_{1B} 以降は時定数切換回路(58)内の逆流防止用ダイオード(66)が非導通状態となり、第1の定電流源(63)からタイマ用コンデンサ(59)に一定値 I_1 の電流のみが流れるので、タイマ用コンデンサ(59)は起動時と同様に長い時定数で充電され、図4(H)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が期間($t_{1A} \sim t_{1B}$)よりも緩い勾配で直線的に上昇する。また、時刻 t_{1B} 以降でMOS-FET(3)がオフ期間中は、図4(A)、(C)及び(E)に示すようにトランス(2)の自由振動による電圧信号がMOS-FET(3)、トランス(2)の補助巻線(2c)及び制御回路(12)のリセット期間検出端子(12c)の各電圧信号 V_{DS} 、 V_{FB} 、 V_{CP2} にそれぞれ重畳される。この期間中は、コンパレータ(24)の比較出力信号及びリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の比較出力信号は低い電圧(L)レベルと高い電圧(H)レベルとの間を振動するが、リセット優先RSフリップフロップ(27)の出力信号はセット端子(S)に高い電圧(H)レベルの信号が入力されるまで低い電圧(L)レベルを保持するため、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には何も入力されず、出力信号 V_{DF} は図4(F)に示すように低い電圧(L)レベルを保持する。

【0035】時刻 t_2 にてタイマ用コンデンサ(59)の電圧 V_{CT} が図4(H)に示すように基準電源(61)の基準電圧 V_{TH} のレベルに達すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与される。これと同時に、トランス(2)の補助巻線(2c)に発生

するフライバック電圧 V_{FB} の極性が図 4 (C) に示すように正から負となるので、制御回路 (12) のリセット期間検出端子 (12c) からリセット期間検出回路 (51) 内のリセット期間検出用コンパレータ (54) の非反転入力端子 (+) に入力される電圧 V_{CP2} が図 4 (E) に示すように基準電源 (53) の基準電圧 V_{RST} のレベルよりも低くなり、リセット期間検出用コンパレータ (54) の比較出力信号が高い電圧 (H) レベルから低い電圧 (L) レベルとなる。一方、制御回路 (12) の帰還信号入力端子 (12a) からコンパレータ (24) の非反転入力端子 (+) に入力される電圧 V_{CP1} は図 4 (D) に示すように基準電源 (23) の基準電圧 V_{OCF} 以下であるから、コンパレータ (24) から低い電圧 (L) レベルの比較出力信号が発生し、リセット優先 RS フリップフロップ (27) のリセット端子 (R) に付与される。このとき、リセット優先 RS フリップフロップ (27) のセット端子 (S) には高い電圧 (H) レベルの信号が付与されるため、リセット優先 RS フリップフロップ (27) がセット状態となり、駆動回路 (28) を介して MOS-FET (3) のゲート端子に高い電圧 (H) レベルのオン信号が付与されて MOS-FET (3) がオン状態となる。これにより、リセット期間検出回路 (51) 内のプリセット入力付 D フリップフロップ (56) のプリセット入力端子 (PR) に高い電圧 (H) レベルの信号が入力され、出力信号 V_{DF} が図 4 (F) に示すように低い電圧 (L) レベルから高い電圧 (H) レベルとなる。このため、NAND ゲート (57) から出力されるリセット期間検出信号 V_{RT} は図 4 (G) に示すように高い電圧 (H) レベルを保持する。これと同時に、放電用トランジスタ (60) がオフ状態からオン状態となりタイマ用コンデンサ (59) が放電されるので、図 4 (H) に示すようにタイマ用コンデンサ (59) の電圧 V_{CT} が略 0 V まで降下する。このとき、トランス (2) の 2 次巻線 (2b) 側にはエネルギーの伝達が行われず、MOS-FET (3) のオフ期間中に整流平滑回路 (6) の平滑コンデンサ (5) に充電された電荷が負荷 (13) に供給される。なお、MOS-FET (3) の過電流保護及び負荷 (13) に印加される直流電圧 V_o の安定化に関する動作については、図 21 に示す従来のスイッチング電源装置の場合と略同様であるので、説明は省略する。

【0036】本実施の形態では、負荷 (13) が重負荷状態のときは、MOS-FET (3) がオフ状態となった後にトランス (2) のフライバックエネルギーが比較的長期間に亘り 2 次巻線 (2b) から整流平滑回路 (6) を介して負荷 (13) に供給されるため、トランス (2) のリセット期間が長くなる。これにより、トランス (2) の補助巻線 (2c) に広幅の電圧パルスが発生し、この広幅の電圧パルスをトランス (2) のリセット期間としてリセット期間検出回路 (51) により検出し、低い電圧 (L) レベルのリセット期間検出信号 V_{RT} を出力する。リセット期間検出回路 (51) のリセット期間検出信号 V_{RT} が低い電圧 (L) レベルのときはタイマ回路 (52) 内のタイマ用コンデンサ (59) が短い時定数

で充電され、タイマ用コンデンサ (59) の電圧 V_{CT} が基準電源 (61) の基準電圧 V_{TH} のレベルに達すると、MOS-FET (3) がオフからオン状態に切り換わるので、通常のオフ期間固定動作が行われる。負荷 (13) が軽負荷状態のときは、MOS-FET (3) がオフ状態となった後にトランス (2) のフライバックエネルギーが比較的短期間のうちに 2 次巻線 (2b) から整流平滑回路 (6) を介して負荷 (13) に供給されるため、トランス (2) のリセット期間が短くなる。これにより、トランス (2) の補助巻線 (2c) に自由振動分を含む狭幅の電圧パルスが発生し、最初の狭幅の電圧パルスのみをトランス (2) のリセット期間としてリセット期間検出回路 (51) により検出し、低い電圧 (L) レベルのリセット期間検出信号 V_{RT} を出力する。リセット期間検出回路 (51) のリセット期間検出信号 V_{RT} の出力期間中はタイマ回路 (52) 内のタイマ用コンデンサ (59) が短い時定数で充電され、リセット期間検出信号 V_{RT} の出力期間以降は長い時定数でタイマ回路 (52) 内のタイマ用コンデンサ (59) が充電されるため、リセット期間検出回路 (51) から出力されるリセット期間検出信号 V_{RT} の低い電圧 (L) レベルの期間がタイマ回路 (52) 内のタイマ用コンデンサ (59) の短い時定数での充電期間よりも短くなる。このとき、制御回路 (12) はトランス (2) のリセット期間の終了後にタイマ回路 (52) の時定数を延長し、時定数延長後のタイマ回路 (52) が出力を発生するまで MOS-FET (3) のオフ状態を保持した後にオン状態に切り換えるので、MOS-FET (3) のオフ期間が延長され、MOS-FET (3) のスイッチング周波数が低下する。したがって、MOS-FET (3) のオン・オフ回数が減少し、負荷 (13) のインピーダンスが高い軽負荷時に MOS-FET (3) で発生するスイッチング損失を低減できるので、広い負荷の範囲でスイッチング電源装置の変換効率を向上することが可能となる。また、起動時はトランス (2) の補助巻線 (2c) に発生するフライバック電圧 V_{FB} が低く、リセット期間検出回路 (51) から出力されるリセット期間検出信号 V_{RT} は高い電圧 (H) レベルを保持するため、トランス (2) のリセット期間が検出されないが、タイマ回路 (52) 内のタイマ用コンデンサ (59) は長い時定数で充電されるため、起動時に MOS-FET (3) にかかる過渡的なストレスを軽減できる利点がある。

【0037】図 1 に示す実施の形態は変更が可能である。例えば、図 5 に示す実施の形態のスイッチング電源装置では、図 1 に示す実施の形態において、逆流防止用ダイオード (21) のカソード端子を低域通過型フィルタ回路 (11) のコンデンサ (10) と逆流防止用ダイオード (15) のカソード端子との接続点に接続すると共にリセット期間検出回路 (51) 内のリセット期間検出用コンパレータ (54) の非反転入力端子 (+) をコンパレータ (24) の非反転入力端子 (+) に接続して制御回路 (12) のリセット期間検出端子 (12c) を省略し、リセット期間検出回路 (51) がリセット期間検出信号 V_{RT} を出力したときにコンパレータ (24)

からの出力信号を遮断し且つタイマ回路(52)の出力信号によりMOS-FET(3)がオン状態となったときに遮断状態を解除するオフ期間固定手段としてのオフ期間固定回路(67)をコンパレータ(24)の比較出力端子とリセット優先RSフリップフロップ(27)のリセット端子(R)との間に接続したものである。図5に示す実施の形態において、基準電源(23)及びコンパレータ(24)は、制御回路(12)の帰還信号入力端子(12a)から入力される電流検出用抵抗(7)の検出信号と出力電圧検出回路(16)の検出信号とトランス(2)の補助巻線(2c)の電圧 V_{FB} の検出信号との重畳信号の電圧 V_{CP} のレベルが基準電源(23)の基準電圧 V_{OCP} のレベルを超えたとき、コンパレータ(24)から出力信号を発生してMOS-FET(3)をオフ状態にする過電流検出手段を構成する。また、リセット期間検出回路(51)を構成する基準電源(53)の基準電圧 V_{RST} のレベルは過電流検出手段を構成する基準電源(23)の基準電圧 V_{OCP} のレベルよりも高い値に設定される。オフ期間固定回路(67)は、コンパレータ(24)の比較出力信号の反転信号を出力する第1の反転器(68)と、反転器(68)の出力信号とリセット優先RSフリップフロップ(27)の出力信号との論理積信号を出力する第1のANDゲート(69)と、リセット期間検出回路(51)のリセット期間検出信号 V_{RT} の反転信号を出力する第2の反転器(70)と、第1のANDゲート(69)の出力信号によりセット状態となり高い電圧(H)レベルの出力信号 V_{FF3} を発生すると共に第2の反転器(70)の出力信号によりリセット状態となり低い電圧(L)レベルの出力信号 V_{FF3} を発生するRSフリップフロップ(71)と、コンパレータ(24)の比較出力信号とRSフリップフロップ(71)の出力信号 V_{FF3} との論理積信号 V_{U2} をリセット優先RSフリップフロップ(27)のリセット端子(R)に付与する第2のANDゲート(69)とから構成される。その他の構成は、図1に示すスイッチング電源装置と略同様である。

【0038】図5に示す構成において、負荷(13)のインピーダンスが低い重負荷状態の場合は、図6(D)に示すように時刻 t_1 にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が基準電源(23)の基準電圧 V_{OCP} のレベルを超えると、コンパレータ(24)から高い電圧(H)レベルの比較出力信号が発生する。一方、オフ期間固定回路(67)を構成するRSフリップフロップ(71)の出力信号 V_{FF3} は、図6(G)に示すように高い電圧(H)レベルを保持しているので、図6(H)に示すように第2のANDゲート(72)から高い電圧(H)レベルの論理積信号 V_{U2} が出力される。第2のANDゲート(72)の高い電圧(H)レベルの論理積信号 V_{U2} は、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与されてリセット優先RSフリップフロップ(27)がリセット状態となる。このとき、リセット優先RSフリップフロップ(27)から駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与され、MOS-FET

(3)がオフ状態となるので、ドレインソース端子間の電圧 V_{DS} が図6(A)に示すように0Vから急速に上昇すると共にドレイン電流 I_D が図6(B)に示すように略0となる。これと同時に、トランス(2)の補助巻線(2c)に図6(C)に示すようなフライバック電圧 V_{FB} が発生し、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が図6(D)に示すように更に上昇して行く。

【0039】図6(D)に示すように、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が時刻 t_{1A} にてリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルよりも高くなると、リセット期間検出用コンパレータ(54)の比較出力信号が低い電圧(L)レベルから高い電圧(H)レベルとなる。リセット期間検出用コンパレータ(54)の高い電圧(H)レベルの比較出力信号は、プリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)にはリセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図6(E)に示すように高い電圧(H)レベルを保持する。したがって、図6(F)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)のベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の逆流防止用ダイオード(66)が導通状態となり、第1及び第2の定電流源(63,64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図6(I)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が起動時よりも急な勾配で直線的に上昇する。更に、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号はオフ期間固定回路(67)内の第1のANDゲート(69)にも入力されるので、第1のANDゲート(69)からRSフリップフロップ(71)のセット端子(S)に低い(L)レベルの電圧信号が入力される。一方、RSフリップフロップ(71)のリセット端子(R)には、リセット期間検出回路(51)から第2の反転器(70)を介して高い(H)レベルの電圧信号が入力され、RSフリップフロップ(71)がリセット状態となるので、図6(G)に示すようにRSフリップフロップ(71)の出力信号 V_{FF3} が低い電圧(L)レベルとなる。これにより、第2のANDゲート(72)から出力される論理積信号 V_{U2} の電圧

レベルは、図6(H)に示すようにコンパレータ(24)の出力信号の電圧レベルに関わらず低い電圧(L)レベルとなる。

【0040】図6(I)に示すように、時刻 t_2 にてタイマ回路(52)内のタイマ用コンデンサ(59)の電圧 V_{CT} が基準電源(61)の基準電圧 V_{TH} のレベルに達すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与される。これにより、リセット優先RSフリップフロップ(27)がセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。このとき、MOS-FET(3)のドレイン電流 I_D が図6(B)に示すように上昇し、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の極性が図6(C)に示すように正から負となる。そして、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が図6(D)に示すように基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなると、リセット期間検出用コンパレータ(54)の比較出力信号が低い電圧(L)レベルから高い電圧(H)レベルとなる。このとき、図6(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が一旦低い電圧(L)レベルまで降下した後、瞬時に高い電圧(H)レベルに復帰する。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図6(F)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなる。これと同時に、リセット優先RSフリップフロップ(27)から出力される高(H)レベルの電圧信号により、タイマ回路(52)内の放電用トランジスタ(60)がオフ状態からオン状態となり、タイマ用コンデンサ(59)が放電されるので、図6(I)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで降下する。このとき、トランス(2)の2次巻線(2b)側にはエネルギーの伝達が行われず、MOS-FET(3)のオフ期間中に整流平滑回路(6)の平滑コンデンサ(5)に充電された電荷が負荷(13)に供給される。

【0041】図6(D)に示すように、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が時刻 t_{2A} にて基準電源(23)の基準電圧 V_{OCP} のレベル以下になると、コンパレータ(24)から低い電圧(L)レベルの比較出力信号が発生する。このとき、コンパレータ(24)から出力された低い電圧(L)レベルの比較出力信号は、オフ期間固定回路(67)内の第1の反転器(68)により高い電圧(H)レベルの信号に変換されて第1のANDゲート(69)の一方の入力端子に入力される。一方、第1のANDゲート(69)の他方の入力端子にはリセット優先RSフリップフロップ(27)の高い電圧(H)レベルのオン信号が入力されるので、第1のANDゲート(69)から高い(H)レベルの電圧信号が出力され、RSフリップフロップ(71)のセット端子(S)に付与される。これと同時に、リセット期間検出回

路(51)の高い電圧(H)レベルのリセット期間検出信号 V_{RT} が第2の反転器(70)により低い電圧(L)レベルに変換されてRSフリップフロップ(71)のリセット端子(R)に付与されるので、RSフリップフロップ(71)がセット状態となり、図6(G)に示すようにRSフリップフロップ(71)の出力信号 V_{FF3} が低い電圧(L)レベルから高い電圧(H)レベルとなる。

【0042】また、負荷(13)のインピーダンスが高い軽負荷状態の場合は、図7(D)に示すように時刻 t_1 にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が基準電源(23)の基準電圧 V_{OCP} のレベルを超えると、コンパレータ(24)から高い電圧(H)レベルの比較出力信号が発生する。一方、オフ期間固定回路(67)を構成するRSフリップフロップ(71)の出力信号 V_{FF3} は、図7(G)に示すように高い電圧(H)レベルを保持しているので、図7(H)に示すように第2のANDゲート(72)から高い電圧(H)レベルの論理積信号 V_{U2} が出力される。第2のANDゲート(72)の高い電圧(H)レベルの論理積信号 V_{U2} は、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与されてリセット優先RSフリップフロップ(27)がリセット状態となる。このとき、リセット優先RSフリップフロップ(27)から駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与され、MOS-FET(3)がオフ状態となるので、ドレインソース端子間の電圧 V_{DS} が図7(A)に示すように0Vから急速に上昇すると共にドレイン電流 I_D が図7(B)に示すように略0となる。これと同時に、トランス(2)の補助巻線(2c)に図7(C)に示すようなフライバック電圧 V_{FB} が発生し、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が図7(D)に示すように更に上昇して行く。

【0043】図7(D)に示すように、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が時刻 t_{1A} にてリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルよりも高くなると、リセット期間検出用コンパレータ(54)の比較出力信号が低い電圧(L)レベルから高い電圧(H)レベルとなる。リセット期間検出用コンパレータ(54)の高い電圧(H)レベルの比較出力信号は、プリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)にはリセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図7(E)に示すように高い電圧(H)レベルを保持する。したがって、図7(F)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時

定数切換用トランジスタ(65)のベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の逆流防止用ダイオード(66)が導通状態となり、第1及び第2の定電流源(63,64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図7(I)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が起動時よりも急な勾配で直線的に上昇する。更に、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号はオフ期間固定回路(67)内の第1のANDゲート(69)にも入力されるので、第1のANDゲート(69)からRSフリップフロップ(71)のセット端子(S)に低い(L)レベルの電圧信号が入力される。一方、RSフリップフロップ(71)のリセット端子(R)には、リセット期間検出回路(51)から第2の反転器(70)を介して高い(H)レベルの電圧信号が入力され、RSフリップフロップ(71)がリセット状態となるので、図7(G)に示すようにRSフリップフロップ(71)の出力信号 V_{FF3} が低い電圧(L)レベルとなる。これにより、第2のANDゲート(72)から出力される論理積信号 V_{W2} の電圧レベルは、図7(H)に示すようにコンパレータ(24)の出力信号の電圧レベルに関わらず低い電圧(L)レベルとなる。

【0044】時刻 t_{1B} にてトランス(2)のリセット期間が終了すると、図7(C)に示すようにトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} が低下し、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CF} が図7(D)に示すようにリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなるので、リセット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなる。このとき、図7(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が高い電圧(H)レベルから低い電圧(L)レベルとなる。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図7(F)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなるので、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)がオフ状態からオン状態となる。したがって、時刻 t_{1B} 以降は時定数切換回路(58)内の逆流防止用ダイオード(66)が非導通状態となり、第1の定電流源(63)からタイマ用コンデンサ(59)に一定値 I_1 の電流のみが流れるので、タイマ用コンデンサ(59)は起動時と同様に長い時定数で充電され、図7(I)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が期間($t_{1A} \sim t_{1B}$)よりも緩い勾配で直線的に上昇する。また、時刻 t_{1B} 以降でMOS-FET(3)がオ

フ期間中は、図7(A)、(C)及び(D)に示すようにトランス(2)の自由振動による電圧信号がMOS-FET(3)、トランス(2)の補助巻線(2c)及び制御回路(12)の帰還信号入力端子(12a)の各電圧信号 V_{DS} 、 V_{FB} 、 V_{CF} にそれぞれ重畳される。この期間中は、コンパレータ(24)の比較出力信号及びリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の比較出力信号は低い電圧(L)レベルと高い電圧(H)レベルとの間を振動するが、リセット優先RSフリップフロップ(27)の出力信号はセット端子(S)に高い電圧(H)レベルの信号が入力されるまで低い電圧(L)レベルを保持するため、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には何も入力されず、出力信号 V_{DF} は図7(E)に示すように低い電圧(L)レベルを保持する。

【0045】図7(I)に示すように、時刻 t_2 にてタイマ回路(52)内のタイマ用コンデンサ(59)の電圧 V_{CT} が基準電源(61)の基準電圧 V_{TB} のレベルに達すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与される。これにより、リセット優先RSフリップフロップ(27)がセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。このとき、MOS-FET(3)のドレイン電流 I_D が図7(B)に示すように上昇し、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の極性が図7(C)に示すように正から負となる。そして、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CF} が図7(D)に示すように基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなると、リセット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなる。このとき、リセット期間検出用コンパレータ(54)からプリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に低い電圧(L)レベルの信号が入力されると共にプリセット入力端子(PR)にリセット優先RSフリップフロップ(27)から反転器(55)を介して高い電圧(H)レベルの信号が入力されるので、図7(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は低い電圧(L)レベルから高い電圧(H)レベルとなる。このため、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} は図7(F)に示すように高い電圧(H)レベルを保持する。これと同時に、リセット優先RSフリップフロップ(27)から出力される高(H)レベルの電圧信号により、タイマ回路(52)内の放電用トランジスタ(60)がオフ状態からオン状態となり、タイマ用コンデンサ(59)が放電されるので、図7(I)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで降下する。このとき、トランス(2)の2次巻線(2b)側にはエネルギーの伝達が行われず、MOS-FET(3)のオフ期間中に整流平滑回路(6)の平滑コンデンサ(5)に充

電された電荷が負荷(13)に供給される。

【0046】図7(D)に示すように、制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が時刻 t_{2A} にて基準電源(23)の基準電圧 V_{OCP} のレベル以下になると、コンパレータ(24)から低い電圧(L)レベルの比較出力信号が発生する。このとき、コンパレータ(24)から出力された低い電圧(L)レベルの比較出力信号は、オフ期間固定回路(67)内の第1の反転器(68)により高い電圧(H)レベルの信号に変換されて第1のANDゲート(69)の一方の入力端子に入力される。一方、第1のANDゲート(69)の他方の入力端子にはリセット優先RSフリップフロップ(27)の高い電圧(H)レベルのオン信号が入力されるので、第1のANDゲート(69)から高い(H)レベルの電圧信号が出力され、RSフリップフロップ(71)のセット端子(S)に付与される。これと同時に、リセット期間検出回路(51)の高い電圧(H)レベルのリセット期間検出信号 V_{RT} が第2の反転器(70)により低い電圧(L)レベルに変換されてRSフリップフロップ(71)のリセット端子(R)に付与されるので、RSフリップフロップ(71)がセット状態となり、図7(G)に示すようにRSフリップフロップ(71)の出力信号 V_{FF3} が低い電圧(L)レベルから高い電圧(H)レベルとなる。なお、図5に示すスイッチング電源装置の起動時の動作については、制御回路(12)の帰還信号入力端子(12a)に入力される信号 V_{CP} が出力電圧検出回路(16)の検出信号と電流検出用抵抗(7)の検出信号とトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の検出信号との重畳信号となる以外は前述の図1に示すスイッチング電源装置と略同様であるので、説明は省略する。また、MOS-FET(3)の過電流保護及び負荷(13)に印加される直流電圧 V_0 の安定化に関する動作については、図21に示す従来のスイッチング電源装置の場合と略同様であるので、説明は省略する。

【0047】図5に示す実施の形態では、リセット期間検出回路(51)を構成する基準電源(53)の基準電圧 V_{RST} のレベルを過電流検出手段を構成する基準電源(23)の基準電圧 V_{OCP} のレベルよりも高い値に設定し、リセット期間検出回路(51)により電流検出用抵抗(7)の検出信号と出力電圧検出回路(16)の検出信号とトランス(2)の補助巻線(2c)の電圧 V_{FB} の検出信号との重畳信号の電圧 V_{CP} のレベルが基準電源(53)の基準電圧 V_{RST} のレベルより高い最初の期間をトランス(2)のリセット期間として検出するため、図1に示す実施の形態に比較して制御回路(12)の信号入力端子の数を削減できると共に回路構成を簡略化できる利点がある。また、図5に示す実施の形態の制御回路(12)は、リセット期間検出回路(51)の出力信号 V_{RT} が低い電圧(L)レベルとなったときにオフ期間固定回路(67)内のRSフリップフロップ(71)から出力される低い電圧(L)レベルの信号 V_{FF3} により第2のANDゲート(72)の出力信号 V_{U2} を低い電圧(L)レベルにしてコンパレータ(24)からの出力信号を遮断し、タイマ回

路(52)の出力信号によりMOS-FET(3)がオン状態となった後にオフ期間固定回路(67)内のRSフリップフロップ(71)の出力信号 V_{FF3} を高い電圧(H)レベルにしてコンパレータ(24)からの出力信号を第2のANDゲート(72)の出力信号 V_{U2} として出力する。これにより、MOS-FET(3)がオフ状態で且つトランス(2)のリセット期間中、即ちリセット期間検出回路(51)の出力信号 V_{RT} が低い電圧(L)レベルのときでもタイマ回路(52)の出力信号によりMOS-FET(3)がオン状態となり、MOS-FET(3)のオフ期間が固定される。したがって、軽負荷時ではタイマ回路(52)内の時定数切換回路(58)によりMOS-FET(3)のオフ期間が延長されてスイッチング周波数が低下するが、重負荷時ではMOS-FET(3)のスイッチング周波数が必要以上に低下せず、オフ期間固定動作が良好に行われるので、トランス(2)を大型化することなく軽負荷時でのスイッチング損失を低減できる利点がある。

【0048】また、図8に示す実施の形態のスイッチング電源装置は、図5に示す実施の形態のオフ期間固定回路(67)を省略し、重負荷時においてトランス(2)のリセット期間終了時にMOS-FET(3)をオン状態にする通常のリングングチョークコンバータ(RCC)動作を行うようにしたものである。その他の構成は、図5に示すスイッチング電源装置と略同様である。

【0049】図8に示す構成において、負荷(13)のインピーダンスが低い重負荷状態の場合は、図9(D)に示すように時刻 t_1 にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が基準電源(23)の基準電圧 V_{OCP} のレベルを超え、MOS-FET(3)がオフ状態になると、トランス(2)の補助巻線(2c)に図9(C)に示すようなフライバック電圧 V_{FB} が発生する。そして、図9(D)に示すように制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が時刻 t_{1A} にてリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルよりも高くなると、リセット期間検出用コンパレータ(54)の比較出力信号が低い電圧(L)レベルから高い電圧(H)レベルとなる。リセット期間検出用コンパレータ(54)の高い電圧(H)レベルの比較出力信号は、プリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図9(E)に示すように高い電圧(H)レベルを保持する。したがって、図9(F)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)の

ベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の逆流防止用ダイオード(66)が導通状態となり、第1及び第2の定電流源(63,64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図9(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が起動時よりも急な勾配で直線的に上昇する。

【0050】図9(G)に示すように、タイマ用コンデンサ(59)の電圧 V_{CT} が時刻 t_{1B} にて基準電源(61)の基準電圧 V_{TB} のレベルに達すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与される。このとき、図9(C)に示すようにトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} が未だ一定レベルを保持しているため、コンパレータ(24)の比較出力信号は高い電圧(H)レベルを保持する。したがって、リセット優先RSフリップフロップ(27)のセット端子(S)及びリセット端子(R)の双方に高い電圧(H)レベルの信号が入力されるが、リセット優先であるため出力信号は低い電圧(L)レベルとなる。このため、駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与され、MOS-FET(3)はオフ状態を保持する。一方、タイマ用コンデンサ(59)の電圧 V_{CT} は図9(G)に示すように基準電源(61)の基準電圧 V_{TB} のレベルより若干高くなった時点で充電完了となり、トランス(2)のリセット期間が終了するまでその電圧を保持する。

【0051】時刻 t_2 にてトランス(2)のリセット期間が終了すると、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の極性が図9(C)に示すように正から負となるので、制御回路(12)の帰還信号入力端子(12a)からリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の非反転入力端子(+)に入力される電圧 V_{CP} が図9(D)に示すように基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなり、リセット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなる。このとき、図9(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が一旦低い電圧(L)レベルまで降下した後、瞬時に高い電圧(H)レベルに復帰する。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図9(F)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなる。また、制御回路(12)の帰還信号入力端子(12a)からコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP} が図9(D)に示すよ

うに基準電源(23)の基準電圧 V_{OCP} 以下となり、コンパレータ(24)から低い電圧(L)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。このとき、リセット優先RSフリップフロップ(27)のセット端子(S)には、タイマ回路(52)内のコンパレータ(62)から高い電圧(H)レベルの比較出力信号が入力されるので、リセット優先RSフリップフロップ(27)がセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。これと同時に、放電用トランジスタ(60)がオフ状態からオン状態となりタイマ用コンデンサ(59)が放電されるので、図9(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで降下する。このとき、トランス(2)の2次巻線(2b)側にはエネルギーの伝達が行われず、MOS-FET(3)のオフ期間中に整流平滑回路(6)の平滑コンデンサ(5)に充電された電荷が負荷(13)に供給される。

【0052】また、負荷(13)のインピーダンスが高い軽負荷状態の場合は、図10(D)に示すように時刻 t_1 にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が基準電源(23)の基準電圧 V_{OCP} のレベルに達し、MOS-FET(3)がオフ状態になると、トランス(2)の補助巻線(2c)に図10(C)に示すようなフライバック電圧 V_{FB} が発生する。そして、図10(D)に示すように制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が時刻 t_{1A} にてリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルよりも高くなると、リセット期間検出用コンパレータ(54)の比較出力信号が低い電圧(L)レベルから高い電圧(H)レベルとなる。リセット期間検出用コンパレータ(54)の高い電圧(H)レベルの比較出力信号は、プリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(P)にはリセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図10(E)に示すように高い電圧(H)レベルを保持する。したがって、図10(F)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)のベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、タイマ回路(52)を構成する内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の逆

流防止用ダイオード(66)が導通状態となり、第1及び第2の定電流源(63,64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図10(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が起動時より急な勾配で直線的に上昇する。

【0053】時刻 t_{1B} にてトランス(2)のリセット期間が終了すると、図10(C)に示すようにトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} が低下し、制御回路(12)の帰還信号入力端子(12a)からリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の非反転入力端子(+)に入力される電圧 V_{CP} が図10(D)に示すように基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなるので、リセット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなる。このとき、図10(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が高い電圧(H)レベルから低い電圧(L)レベルとなる。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図10(F)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなるので、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)がオフ状態からオン状態となる。したがって、時刻 t_{1B} 以降は時定数切換回路(58)内の逆流防止用ダイオード(66)が非導通状態となり、第1の定電流源(63)からタイマ用コンデンサ(59)に一定値 I_1 の電流のみが流れるので、タイマ用コンデンサ(59)は起動時と同様に長い時定数で充電され、図10(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が期間($t_{1A} \sim t_{1B}$)よりも緩い勾配で直線的に上昇する。また、時刻 t_{1B} 以降でMOS-FET(3)がオフ期間中は、図10(A)、(C)及び(D)に示すようにトランス(2)の自由振動による電圧信号がMOS-FET(3)、トランス(2)の補助巻線(2c)及び制御回路(12)の帰還信号入力端子(12a)の各電圧信号 V_{DS} 、 V_{FB} 、 V_{CP} にそれぞれ重畳される。この期間中は、コンパレータ(24)の比較出力信号及びリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の比較出力信号は低い電圧(L)レベルと高い電圧(H)レベルとの間を振動するが、リセット優先RSフリップフロップ(27)の出力信号はセット端子(S)に高い電圧(H)レベルの信号が入力されるまで低い電圧(L)レベルを保持するため、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には何も入力されず、出力信号 V_{DF} は図10(E)に示すように低い電圧(L)レベルを保持する。

【0054】時刻 t_2 にてタイマ用コンデンサ(59)の電圧 V_{CT} が図10(G)に示すように基準電源(61)の基準電圧 V_{TH} のレベルに達すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与され

る。これと同時に、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の極性が図10(C)に示すように正から負となるので、制御回路(12)の帰還信号入力端子(12a)からリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の非反転入力端子(+)に入力される電圧 V_{CP} が図10(D)に示すように基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなり、リセット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなる。また、制御回路(12)の帰還信号入力端子(12a)からコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP} が図10(D)に示すように基準電源(23)の基準電圧 V_{OCP} 以下になると、コンパレータ(24)から低い電圧(L)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。このとき、リセット優先RSフリップフロップ(27)のセット端子(S)には高い電圧(H)レベルの信号が付与されるため、リセット優先RSフリップフロップ(27)がセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。これにより、リセット期間検出回路(51)内のプリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)に高い電圧(H)レベルの信号が入力され、出力信号 V_{DF} が図10(E)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなる。このため、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} は図10(F)に示すように高い電圧(H)レベルを保持する。これと同時に、放電用トランジスタ(60)がオフ状態からオン状態となりタイマ用コンデンサ(59)が放電されるので、図10(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで降下する。このとき、トランス(2)の2次巻線(2b)側にはエネルギーの伝達が行われず、MOS-FET(3)のオフ期間中に整流平滑回路(6)の平滑コンデンサ(5)に充電された電荷が負荷(13)に供給される。なお、図8に示すスイッチング電源装置の起動時の動作については、制御回路(12)の帰還信号入力端子(12a)に入力される信号 V_{CP} が出力電圧検出回路(16)の検出信号と電流検出用抵抗(7)の検出信号とトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の検出信号との重畳信号となる以外は前述の図1に示すスイッチング電源装置と略同様であるので、説明は省略する。また、MOS-FET(3)の過電流保護及び負荷(13)に印加される直流電圧 V_o の安定化に関する動作については、図21に示す従来のスイッチング電源装置の場合と略同様であるので、説明は省略する。

【0055】図8に示す実施の形態では、重負荷時ににおいて、制御回路(12)内のタイマ回路(52)の出力に関わらずトランス(2)のリセット期間が終了するまでMOS-FET(3)のオフ状態を保持した後にオン状態に切り換え

るので、通常のリングングチョークコンバータ(RCC)動作が行われる。また、軽負荷時において、トランス(2)のリセット期間の終了後に制御回路(12)内のタイマ回路(52)の時定数を延長し、時定数延長後のタイマ回路(52)が出力を発生するまでMOS-FET(3)のオフ状態を保持した後にオン状態に切り換えるので、MOS-FET(3)のオフ期間が延長され、MOS-FET(3)のスイッチング周波数が低下する。したがって、図8に示す実施の形態においても、軽負荷時にMOS-FET(3)で発生するスイッチング損失を低減して広い負荷の範囲でスイッチング電源装置の変換効率を向上することが可能となる。

【0056】また、図11に示す実施の形態のスイッチング電源装置は、図1に示す実施の形態において、リセット期間検出回路(51)のリセット期間検出信号 V_{RT} とコンパレータ(24)の比較出力信号との論理和信号をリセット優先RSフリップフロップ(27)のリセット端子に付与するORゲート(73)を設けている。したがって、ORゲート(73)の出力信号は図8に示す実施の形態でのコンパレータ(24)の比較出力信号と同一となるので、結局、図11に示す実施の形態でも図8に示す実施の形態と同様の作用及び効果が得られる。

【0057】また、図12に示す実施の形態のスイッチング電源装置では、積分用抵抗(75)及び積分用コンデンサ(76)から成る積分回路(74)と、基準電圧 V_{RST} を発生する基準電源(53)と、積分回路(74)から非反転入力端子(+)に入力される積分回路(74)の出力電圧 V_s が反転入力端子(-)に入力される基準電源(53)の基準電圧 V_{RST} のレベルを超えたときに高い電圧(H)レベルの比較出力信号を発生するリセット期間検出用コンパレータ(54)と、リセット期間検出用コンパレータ(54)の比較出力信号の反転信号をリセット期間検出信号 V_{RT} として出力する反転器(77)とでリセット期間検出回路(51)を構成する。図12に示す構成において、MOS-FET(3)のドレインソース端子間の電圧 V_{DS} 、ドレイン電流 I_D 、トランス(2)の補助巻線(2c)のフライバック電圧 V_{FB} 、積分回路(74)の出力電圧 V_s 、リセット期間検出回路(51)のリセット期間検出信号 V_{RT} 及びタイマ用コンデンサ(59)の電圧 V_{CT} の重負荷時における動作波形を図13(A)~(F)にそれぞれ示し、軽負荷時における動作波形を図14(A)~(F)にそれぞれ示す。図12に示す実施の形態では、積分回路(74)によりトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の自由振動分を減衰させた後、リセット期間検出用コンパレータ(54)によりフライバック電圧 V_{FB} の最初の電圧パルス分のみをトランス(2)のリセット期間として検出するので、図8に示す実施の形態と比較して回路構成を簡略化できると共にトランス(2)のリセット期間を高精度で検出できる利点がある。

【0058】更に、図8に示す実施の形態で、逆流防止

用ダイオード(21)のカソード端子とタイマ回路(52)との間に電圧立ち上がり検出回路(25)を接続したスイッチング電源装置を図15に示す。電圧立ち上がり検出回路(25)は、リセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} よりも高い値の基準電圧 V_{SET} を発生する基準電源(78)と、トランス(2)の補助巻線(2c)からフライバック電圧検出用抵抗(19)及びフライバック電圧検出用コンデンサ(20)並びに逆流防止用ダイオード(21)を介して非反転入力端子(+)に入力される電圧 V_{CP} のレベルが反転入力端子(-)に入力される基準電源(78)の基準電圧 V_{SET} を超えたときに高い電圧(H)レベルの比較出力信号を発生する電圧立ち上がり検出用コンパレータ(79)とを備えている。また、制御回路(12)内の制御回路用レギュレータ及び低電圧停止回路(22)の出力端子とタイマ回路(52)内のタイマ用コンデンサ(59)の一端との間には、短絡用トランジスタ(80)が接続されている。短絡用トランジスタ(80)は、電圧立ち上がり検出用コンパレータ(79)が高い電圧(H)レベルの比較出力信号を発生したときにオン状態となる。なお、MOS-FET(3)がオフした後に制御回路(12)の帰還信号入力端子(12a)に発生する電圧 V_{CP} の最大値が電圧立ち上がり検出回路(25)内の基準電源(78)の基準電圧 V_{SET} のレベルよりも高くなるようにフライバック電圧検出用抵抗(19)の抵抗値及びフライバック電圧検出用コンデンサ(20)の静電容量値を適宜選択することにより、通常のリングングチョークコンバータ(RCC)動作を行わせることが可能である。その他の回路構成は、図8に示すスイッチング電源装置と同様である。

【0059】図15に示す構成において、図16(D)に示すように時刻 t_1 にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が基準電源(23)の基準電圧 V_{OCF} のレベルを超え、MOS-FET(3)がオフ状態になると、トランス(2)の補助巻線(2c)に図16(C)に示すようなフライバック電圧 V_{FB} が発生する。そして、図16(D)に示すように制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} が時刻 t_{1A} にてリセット期間検出回路(51)内の基準電源(53)の基準電圧 V_{RST} のレベルよりも高くなる。リセット期間検出用コンパレータ(54)の比較出力信号が低い電圧(L)レベルから高い電圧(H)レベルとなる。リセット期間検出用コンパレータ(54)の高い電圧(H)レベルの比較出力信号は、プリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)にはリセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図16(E)に示すように高い電圧(H)レベルを保持する。したがって、図1

6 (F)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)のベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の逆流防止用ダイオード(66)が導通状態となり、第1及び第2の定電流源(63,64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図16(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が起動時よりも急な勾配で直線的に上昇する。

【0060】ここで、図16(D)に示すように時刻 t_{1B} にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} の最大値が電圧立ち上がり検出回路(25)を構成する基準電源(78)の基準電圧 V_{SET} のレベルよりも高くなるようにフライバック電圧検出用抵抗(19)の抵抗値及びフライバック電圧検出用コンデンサ(20)の静電容量値が予め設定されていると、電圧立ち上がり検出用コンパレータ(79)から高い電圧(H)レベルの比較出力信号が発生し、短絡用トランジスタ(80)がオフ状態からオン状態となる。これにより、タイマ回路(52)内のタイマ用コンデンサ(59)が制御回路用レギュレータ及び低電圧停止回路(22)により急速に充電され、図16(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が急激に上昇するので、タイマ回路(52)の出力が強制的にセット状態となる。そして、タイマ用コンデンサ(59)の電圧 V_{CT} が基準電源(61)の基準電圧 V_{TH} のレベルより若干高くなり充電が完了すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与される。このとき、図16(C)に示すようにトランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} が未だ一定レベルを保持しているため、コンパレータ(24)の比較出力信号は高い電圧(H)レベルを保持する。したがって、リセット優先RSフリップフロップ(27)のセット端子(S)及びリセット端子(R)の双方に高い電圧(H)レベルの信号が入力されるが、リセット優先であるため出力信号は低い電圧(L)レベルとなる。このため、駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与され、MOS-FET(3)はオフ状態を保持する。

【0061】時刻 t_2 にてトランス(2)のリセット期間が終了すると、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の極性が図16(C)に示すように正から負となるので、制御回路(12)の帰還信号入力端子(12a)から電圧立ち上がり検出回路(25)内の電圧立ち上

り検出用コンパレータ(79)の非反転入力端子(+)に入力される電圧 V_{CP} が図16(D)に示すように基準電源(78)の基準電圧 V_{SET} のレベルよりも低くなる。このため、電圧立ち上がり検出用コンパレータ(79)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなり、短絡用トランジスタ(80)がオン状態からオフ状態となる。また、制御回路(12)の帰還信号入力端子(12a)からリセット期間検出回路(51)内のリセット期間検出用コンパレータ(54)の非反転入力端子(+)に入力される電圧 V_{CP} が図16(D)に示すように基準電源(53)の基準電圧 V_{RST} のレベルよりも低くなるので、リセット期間検出用コンパレータ(54)の比較出力信号が高い電圧(H)レベルから低い電圧(L)レベルとなり、図16(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が一旦低い電圧(L)レベルまで降下した後、瞬時に高い電圧(H)レベルに復帰する。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図16(F)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなる。更に、制御回路(12)の帰還信号入力端子(12a)からコンパレータ(24)の非反転入力端子(+)に入力される電圧 V_{CP} が図16(D)に示すように基準電源(23)の基準電圧 V_{OCP} 以下となり、コンパレータ(24)から低い電圧(L)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。このとき、リセット優先RSフリップフロップ(27)のセット端子(S)には、タイマ回路(52)内のコンパレータ(62)から高い電圧(H)レベルの比較出力信号が入力されるので、リセット優先RSフリップフロップ(27)がセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。これと同時に、タイマ回路(52)内の放電用トランジスタ(60)がオフ状態からオン状態となりタイマ用コンデンサ(59)が放電されるので、図16(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで急激に降下する。これにより、トランス(2)の補助巻線(2c)に発生するフライバック電圧 V_{FB} の立ち下がりに同期してMOS-FET(3)がオン状態となる通常のRCC動作を行わせることができる。

【0062】また、図17(D)に示すように時刻 t_{1B} にて制御回路(12)の帰還信号入力端子(12a)の電圧 V_{CP} の最大値が電圧立ち上がり検出回路(25)を構成する基準電源(78)の基準電圧 V_{SET} のレベルよりも低くなるようにフライバック電圧検出用抵抗(19)の抵抗値及びフライバック電圧検出用コンデンサ(20)の静電容量値を設定した場合は、電圧立ち上がり検出用コンパレータ(79)から低い電圧(L)レベルの比較出力信号が発生するので、短絡用トランジスタ(80)はオフ状態を保持する。したがって、この場合は図8に示す回路と同様の動作をするため、図17(A)～(G)に示す図15の回路の各部の出力

波形は図9(A)～(G)に示す図2の回路の各部の出力波形と略同一となる。

【0063】図15に示す実施の形態では、フライバック電圧検出用抵抗(19)の抵抗値及びフライバック電圧検出用コンデンサ(20)の静電容量値を適宜選択することにより、通常のRCC動作を行わせることが可能であるから、負荷(13)の変動範囲が小さい用途で常時通常のRCC動作をさせることが望ましい場合でも同一の制御回路を利用できる利点がある。したがって、フライバック電圧検出用抵抗(19)の抵抗値及びフライバック電圧検出用コンデンサ(20)の静電容量値を負荷(13)の状態により適宜調整できるようにしておけば、あらゆる負荷(13)の状態に対応させることができる。

【0064】図1～図17に示す各実施の形態では、入出力間絶縁用のトランス(2)を有するフライバック方式のスイッチング電源装置に本発明を適用した形態を示したが、入出力間絶縁用のトランスを使用しないチョップ方式のスイッチング電源装置にも本発明を適用することが可能である。例えば、図18は、直流電源(1)に対して直列に接続されたPチャンネル型のMOS-FET(3)及びリアクトル(30)と、MOS-FET(3)がオフしたときにリアクトル(30)と閉回路を成すように接続された還流用整流素子としてのフライホイールダイオード(31)及び平滑コンデンサ(32)と、負荷(13)の電圧 V_o を検出する出力電圧検出回路(16)と、直列抵抗(33)を介して入力される出力電圧検出回路(16)の検出信号によりMOS-FET(3)をオン・オフ制御する制御回路(12)とを備えた降圧チョップ方式のスイッチング電源装置に本発明を適用した実施の形態を示す。制御回路(12)は、制御回路用レギュレータ及び低電圧停止回路(22)と、リセット優先RSフリップフロップ(27)と、駆動回路(28)と、オン期間制御回路(34)と、リセット期間検出回路(51)と、タイマ回路(52)と、リアクトル電圧検出手段としてのリアクトル電圧検出回路(81)とを備えている。

【0065】オン期間制御回路(34)は、直流出力電圧 V_o の目標値を規定する基準電圧 V_{on} を発生する基準電源(35)と、基準電源(35)の基準電圧 V_{on} より高い値の初期電圧 V_{st} を発生する初期電源(36)と、リセット優先RSフリップフロップ(27)の出力信号の反転信号を出力する反転器(37)と、MOS-FET(3)がオフ状態のときに反転器(37)を介してベース端子に入力される高い(H)レベルの電圧信号によりオン状態となり且つMOS-FET(3)がオン状態のときに反転器(37)を介してベース端子に入力される低い(L)レベルの電圧信号によりオフ状態となる充放電制御用トランジスタ(38)と、MOS-FET(3)がオフしたときに初期電源(36)から充放電制御用トランジスタ(38)を介して初期電圧 V_{st} まで充電され且つMOS-FET(3)がオンしたときに出力電圧検出回路(16)から直列抵抗(33)を介して流れる電流により放電を開始するオン期間設定用コンデンサ(39)と、オン期間設

定用コンデンサ(39)の電圧 V_{cp} が基準電源(35)の基準電圧 V_{on} より低くなったときに高い(H)レベルの電圧信号をリセット優先RSフリップフロップ(27)のリセット入力端子(R)に付与するオン期間制御用コンパレータ(40)とを有する。このため、負荷(13)に印加される直流出力電圧 V_o が高い場合は、出力電圧検出回路(16)から直列抵抗(33)を介して流れる電流が増加し、オン期間設定用コンデンサ(39)の放電時間が早くなるので、MOS-FET(3)のオン期間が短縮される。逆に、負荷(13)に印加される直流出力電圧 V_o が低い場合は、出力電圧検出回路(16)から直列抵抗(33)を介して流れる電流が減少し、オン期間設定用コンデンサ(39)の放電時間が遅くなるので、MOS-FET(3)のオン期間が伸長される。したがって、負荷(13)に印加される直流出力電圧 V_o の高低に応じてオン期間制御回路(34)によりMOS-FET(3)のオン期間が制御されるので、負荷(13)に印加される直流電圧 V_o が略一定のレベルに保持される。

【0066】リアクトル電圧検出回路(81)は、一定値のバイアス電圧 V_{bs} を発生するバイアス電源(82)と、バイアス電源(82)のバイアス電圧 V_{bs} とリアクトル入力側電圧検出端子(12d)を介して入力されるリアクトル(30)のMOS-FET(3)側の端子電圧 V_1 との差電圧を分圧する分圧抵抗(83,84)と、フライホイールダイオード(31)が導通状態となり反転入力端子(-)に入力される分圧抵抗(83,84)の分圧電圧 V_{dv} がリアクトル出力側電圧検出端子(12e)を介して非反転入力端子(+)に入力されるリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 より低くなったときにリアクトル電圧検出信号 V_L を出力する比較手段としてのリアクトル電圧検出用コンパレータ(85)とを有する。

【0067】リセット優先RSフリップフロップ(27)は、タイマ回路(52)の出力信号によりセット状態となり高い電圧(H)レベルのオン信号を駆動回路(28)を介してMOS-FET(3)のゲート端子に付与すると共にオン期間制御回路(34)の出力信号によりリセット状態となり低い電圧(L)レベルのオフ信号を駆動回路(28)を介してMOS-FET(3)のゲート端子に付与する。リセット期間検出回路(51)は、リセット優先RSフリップフロップ(27)の出力信号の反転信号を出力する反転器(55)と、プリセット入力端子(PR)に入力される反転器(55)の出力信号でセットされ高い電圧(H)レベルの出力信号 V_{df} を発生すると共にクロック入力端子(CLK)に入力されるリアクトル電圧検出回路(81)の出力信号 V_L の最初の立ち下がりで低い電圧(L)レベルの出力信号 V_{df} を発生するプリセット入力付Dフリップフロップ(56)と、リセット期間検出用コンパレータ(54)の比較出力信号とプリセット入力付Dフリップフロップ(56)の出力信号 V_{df} との論理積の反転信号をリセット期間検出信号 V_{rt} として出力するNANDゲート(57)とを有し、リアクトル電圧検出回路(81)の出力信号 V_L から最初のパルス信号のみをリアク

トル(30)のリセット期間として検出する。なお、制御回路用レギュレータ及び低電圧停止回路(22)とタイマ回路(52)については、図1に示す制御回路(12)と略同様であるため説明は省略する。

【0068】図18に示す構成において、直流電源(1)より直流電力の供給が開始されると、制御回路(12)の電源入力端子(12b)に電圧が印加され、制御回路用レギュレータ及び低電圧停止回路(22)が動作を開始する。制御回路用レギュレータ及び低電圧停止回路(22)から駆動用電力が出力されると、タイマ回路(52)が動作を開始し、リセット優先RSフリップフロップ(27)のセット端子(S)に出力信号が付与される。このとき、リセット優先RSフリップフロップ(27)がセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となるので、直流電源(1)からMOS-FET(3)及びリアクトル(30)を介して平滑コンデンサ(32)及び負荷(13)に電流が流れ、MOS-FET(3)のドレイン電流 I_D が増加すると共にリアクトル(30)にエネルギーが蓄積される。これにより、リアクトル(30)のMOS-FET(3)側の端子に発生する電圧 V_1 は、制御回路(12)のリアクトル入力側電圧検出端子(12d)を介してリアクトル電圧検出回路(81)の分圧抵抗(83,84)に入力され、分圧抵抗(83,84)によりバイアス電源(82)のバイアス電圧 V_{BS} と前記の端子電圧 V_1 との差電圧が分圧され、その分圧電圧 V_{DIV} がリアクトル電圧検出用コンパレータ(85)の反転入力端子(-)に入力される。一方、リアクトル(30)の平滑コンデンサ(32)側の端子に発生する電圧 V_2 は、制御回路(12)のリアクトル出力側電圧検出端子(12e)を介してリアクトル電圧検出回路(81)のリアクトル電圧検出用コンパレータ(85)の非反転入力端子(+)に入力される。このとき、分圧抵抗(83,84)の分圧電圧 V_{DIV} はリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 より高いので、リアクトル電圧検出用コンパレータ(85)の比較出力端子から低い電圧(L)レベルのリアクトル電圧検出信号 V_L が出力される。これと同時に、出力電圧検出回路(16)から直列抵抗(33)を介して制御回路(12)の帰還信号入力端子(12a)に流れる電流により、オン期間制御回路(34)内の初期電源(34)の初期電圧 V_{ST} まで予め充電されたオン期間設定用コンデンサ(39)が放電され、オン期間設定用コンデンサ(39)の電圧 V_{CP} が直線的に低下する。また、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号は、リセット期間検出回路(51)内の反転器(55)を介してプリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)に入力され、プリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} の電圧レベルが低(L)レベルから高(H)レベルとなる。したがって、NANDゲート(57)の入力端子にはリアクトル電圧検出回路(81)の低い電圧(L)レベルのリアクトル電圧検出信号 V_L とプリセット入力付Dフリッ

プフロップ(56)の高い電圧(H)レベルの出力信号 V_{DF} が入力されるので、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が高い電圧(H)レベルとなり、タイマ回路(52)を構成する時定数切換回路(58)内の時定数切換用トランジスタ(65)がオン状態となる。更に、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号はタイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与されてオン状態となるので、タイマ用コンデンサ(59)の電圧 V_{CT} は0Vとなる。

【0069】負荷(13)のインピーダンスが低い重負荷状態において、図19(B)に示すように時刻 t_1 にて制御回路(12)を構成するオン期間制御回路(34)のオン期間設定用コンデンサ(39)の電圧 V_{CP} が基準電源(35)の基準電圧 V_{ON} のレベルまで低下すると、オン期間制御用コンパレータ(40)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。これにより、リセット優先RSフリップフロップ(27)がリセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与されてMOS-FET(3)がオフ状態となる。このとき、MOS-FET(3)のドレイン電流 I_D が図19(C)に示すように略0になると共にフライホイールダイオード(31)が導通状態となり、リアクトル(30)に蓄積されたエネルギーがフライホイールダイオード(31)を介して平滑コンデンサ(32)及び負荷(13)に供給される。リセット優先RSフリップフロップ(27)から出力される低い電圧(L)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の時定数切換用トランジスタ(65)はオン状態であるから、第1の定電流源(63)からタイマ用コンデンサ(59)に一定値の電流 I_1 が流れてタイマ用コンデンサ(59)が長い時定数で充電され、図19(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が緩やかな勾配で直線的に上昇する。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、オン期間制御回路(34)内の反転器(37)により高い電圧(H)レベルの信号に変換された後、充放電制御用トランジスタ(38)のベース端子に付与され、充放電制御用トランジスタ(38)がオン状態となる。これにより、オン期間設定用コンデンサ(39)が初期電源(36)により充電されるので、図19(B)に示すようにオン期間設定用コンデンサ(39)の電圧 V_{CP} が初期電圧 V_{ST} まで上昇する。このとき、オン期間制御用コンパレータ(40)からリセット優先RSフリップフロップ(27)のリセット端子(R)に低い電圧(L)レベルの比較出力信号が付与される。

【0070】これと同時に、リアクトル(30)のMOS-FET(3)側の端子電圧 V_1 が低下し、時刻 t_{1A} にてリアクトル電圧検出回路(81)内の分圧抵抗(83,84)の分圧電

圧 V_{DIV} が図19(A)に示すようにリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 のレベルよりも低くなると、リアクトル電圧検出用コンパレータ(85)から高い電圧(H)レベルの比較出力信号が発生し、リアクトル電圧検出回路(81)のリアクトル電圧検出信号 V_L が図19(D)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなる。リアクトル電圧検出回路(81)から出力された高い電圧(H)レベルのリアクトル電圧検出信号 V_L は、リセット期間検出回路(51)内のプリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に10 入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図19(E)に示すように高い電圧(H)レベルを保持する。したがって、図19(F)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)のベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。このとき、時定数切換回路(58)内の逆流防止用ダイオード(66)が導通状態となり、第1及び第2の定電流源(63、64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図19(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が期間($t_1 \sim t_{1A}$)よりも急な勾配で直線的に上昇する。

【0071】図19(G)に示すように、タイマ回路(52)内のタイマ用コンデンサ(59)の電圧 V_{CT} が時刻 t_2 にて基準電圧(61)の基準電圧 V_{TH} のレベルに達すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与される。一方、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与されるオン期間制御回路(34)内のオン期間制御用コンパレータ(40)の比較出力信号は低い電圧(L)レベルであるから、リセット優先RSフリップフロップ(27)はセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。このとき、フライホイールダイオード(31)が非導通状態となるので、直流電源(1)からMOS-FET(3)及びリアクトル(30)を介して平滑コンデンサ(32)及び負荷(13)に電流が流れ、図19(C)に示すようにMOS-FET(3)のドレイン電流 I_D が増加すると共にリアクトル(30)にエネルギーが蓄積される。これにより、図19(A)に示すようにリアクトル電圧検出回路(81)内の分圧抵抗(83、84)の分圧電圧 V_{DIV} が

リアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 のレベルより高くなり、リアクトル電圧検出用コンパレータ(85)から低い電圧(L)レベルの比較出力信号が発生するため、リアクトル電圧検出回路(81)からリセット期間検出回路(51)内のプリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)及びNANDゲート(57)の一方の入力端子に付与されるリアクトル電圧検出信号 V_L が図19(D)に示すように高い電圧(H)レベルから低い電圧(L)レベルとなる。これと同時に、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号がリセット期間検出回路(51)内の反転器(55)を介してプリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)に入力されるため、図19(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が一旦低い電圧(L)レベルまで降下した後、瞬時に高い電圧(H)レベルに復帰する。したがって、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図19(F)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなり、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)がオン状態となる。また、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号は、オン期間制御回路(34)内の反転器(37)により低い電圧(L)レベルの信号に変換された後、充放電制御用トランジスタ(38)のベース端子に付与され、充放電制御用トランジスタ(38)がオフ状態となる。このため、出力電圧検出回路(16)から直列抵抗(33)を介して制御回路(12)の帰還信号入力端子(12a)に流れる電流によりオン期間設定用コンデンサ(39)が放電されるので、図19(B)に示すようにオン期間設定用コンデンサ(39)の電圧 V_{CP} が初期電圧 V_{ST} から直線的に低下して行く。更に、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオフ状態からオン状態となるので、図19(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで降下する。

【0072】また、負荷(13)のインピーダンスが高い軽負荷状態において、図20(B)に示すように時刻 t_1 にて制御回路(12)を構成するオン期間制御回路(34)のオン期間設定用コンデンサ(39)の電圧 V_{CP} が基準電圧(35)の基準電圧 V_{ON} のレベルまで低下すると、オン期間制御用コンパレータ(40)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与される。これにより、リセット優先RSフリップフロップ(27)がリセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に低い電圧(L)レベルのオフ信号が付与されてMOS-FET(3)がオフ状態となる。このとき、MOS-FET(3)のドレイン電流 I_D が図20(C)に示すように略0になると共にフライホイールダイオード(31)が導通状態と

なり、リアクトル(30)に蓄積されたエネルギーがフライホイールダイオード(31)を介して平滑コンデンサ(32)及び負荷(13)に供給される。リセット優先RSフリップフロップ(27)から出力される低い電圧(L)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオン状態からオフ状態となる。このとき、時定数切換回路(58)内の時定数切換用トランジスタ(65)はオン状態であるから、第1の定電流源(63)からタイマ用コンデンサ(59)に一定値の電流 I_1 が流れてタイマ用コンデンサ(59)が長い時定数で充電され、図20(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が緩やかな勾配で直線的に上昇する。また、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号は、オン期間制御回路(34)内の反転器(37)により高い電圧(H)レベルの信号に変換された後、充放電制御用トランジスタ(38)のベース端子に付与され、充放電制御用トランジスタ(38)がオン状態となる。これにより、オン期間設定用コンデンサ(39)が初期電源(36)により充電されるので、図20(B)に示すようにオン期間設定用コンデンサ(39)の電圧 V_{CP} が初期電圧 V_{ST} まで上昇する。このとき、オン期間制御用コンパレータ(40)からリセット優先RSフリップフロップ(27)のリセット端子(R)に低い電圧(L)レベルの比較出力信号が付与される。

【0073】これと同時に、リアクトル(30)のMOS-FET(3)側の端子電圧 V_L が低下し、時刻 t_{1A} にてリアクトル電圧検出回路(81)内の分圧抵抗(83,84)の分圧電圧 V_{DIV} が図20(A)に示すようにリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 のレベルよりも低くなると、リアクトル電圧検出用コンパレータ(85)から高い電圧(H)レベルの比較出力信号が発生し、リアクトル電圧検出回路(81)のリアクトル電圧検出信号 V_L が図20(D)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなる。リアクトル電圧検出回路(81)から出力された高い電圧(H)レベルのリアクトル電圧検出信号 V_L は、リセット期間検出回路(51)内のプリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)に入力されると共に、NANDゲート(57)の一方の入力端子に入力される。また、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には、リセット優先RSフリップフロップ(27)の低い電圧(L)レベルの出力信号が反転器(55)を介して入力されるので、NANDゲート(57)の他方の入力端子に入力されるプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図20(E)に示すように高い電圧(H)レベルを保持する。したがって、図20(F)に示すようにNANDゲート(57)から低い電圧(L)レベルのリセット期間検出信号 V_{RT} が出力され、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)のベース端子に付与されるので、時定数切換用トランジスタ(65)がオフ状態となる。

このとき、時定数切換回路(58)内の逆流防止用ダイオード(66)が導通状態となり、第1及び第2の定電流源(63,64)からタイマ用コンデンサ(59)に一定値($I_1 + I_2$)の電流が流れるので、タイマ用コンデンサ(59)が短い時定数で充電され、図20(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が期間($t_1 \sim t_{1A}$)よりも急な勾配で直線的に上昇する。

【0074】時刻 t_{1B} にてリアクトル(30)の蓄積エネルギーがゼロとなり、リアクトル(30)のリセット期間が終了すると、フライホイールダイオード(31)が非導通状態となり、図20(A)に示すようにリアクトル電圧検出回路(81)内の分圧抵抗(83,84)の分圧電圧 V_{DIV} がリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 のレベルより高くなる。このとき、リアクトル電圧検出用コンパレータ(85)の比較出力信号が低い電圧(L)レベルとなり、リアクトル電圧検出回路(81)からリセット期間検出回路(51)内のプリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)及びNANDゲート(57)の一方の入力端子に付与されるリアクトル電圧検出信号 V_L が図20(D)に示すように高い電圧(H)レベルから低い電圧(L)レベルとなる。一方、リセット優先RSフリップフロップ(27)の出力信号は低い電圧(L)レベルを保持しているので、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には何も入力されず、プリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} は図20(E)に示すように高い電圧(H)レベルから低い電圧(L)レベルとなる。これにより、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図20(F)に示すように低い電圧(L)レベルから高い電圧(H)レベルとなるので、タイマ回路(52)内の時定数切換回路(58)の時定数切換用トランジスタ(65)がオフ状態からオン状態となる。したがって、時刻 t_{1B} 以降は時定数切換回路(58)内の逆流防止用ダイオード(66)が非導通状態となり、第1の定電流源(63)からタイマ用コンデンサ(59)に一定値 I_1 の電流のみが流れるので、タイマ用コンデンサ(59)は長い時定数で充電され、図20(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が期間($t_{1A} \sim t_{1B}$)よりも緩い勾配で直線的に上昇する。また、時刻 t_{1B} 以降でMOS-FET(3)のオフ期間中は、図20(A)に示すようにリアクトル電圧検出回路(81)内の分圧抵抗(83,84)の分圧電圧 V_{DIV} がリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 のレベルを中心として減衰振動する。この期間中は、図20(D)に示すようにリアクトル電圧検出回路(81)のリアクトル電圧検出信号 V_L が低い電圧(L)レベルと高い電圧(H)レベルとの間を振動してパルス列を形成するが、リセット優先RSフリップフロップ(27)の出力信号はセット端子(S)に高い電圧(H)レベルの信号が入力されるまで低い電圧(L)レベルを保持するため、プリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)には何も入力されず、出力信号

V_{DF} は図20(E)に示すように低い電圧(L)レベルを保持する。

【0075】図20(G)に示すように、タイマ回路(52)内のタイマ用コンデンサ(59)の電圧 V_{CT} が時刻 t_2 にて基準電源(61)の基準電圧 V_{TH} のレベルに達すると、コンパレータ(62)から高い電圧(H)レベルの比較出力信号が発生し、リセット優先RSフリップフロップ(27)のセット端子(S)に付与される。一方、リセット優先RSフリップフロップ(27)のリセット端子(R)に付与されるオン期間制御回路(34)内のオン期間制御用コンパレータ(40)の比較出力信号は低い電圧(L)レベルであるから、リセット優先RSフリップフロップ(27)はセット状態となり、駆動回路(28)を介してMOS-FET(3)のゲート端子に高い電圧(H)レベルのオン信号が付与されてMOS-FET(3)がオン状態となる。このとき、フライホイールダイオード(31)は非導通状態であるから、直流電源(1)からMOS-FET(3)及びリアクトル(30)を介して平滑コンデンサ(32)及び負荷(13)に電流が流れ、図20(C)に示すようにMOS-FET(3)のドレイン電流 I_D が増加すると共にリアクトル(30)にエネルギーが蓄積される。これにより、図20(A)に示すようにリアクトル電圧検出回路(81)内の分圧抵抗(83, 84)の分圧電圧 V_{DIV} がリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 のレベルより高くなり、リアクトル電圧検出用コンパレータ(85)から低い電圧(L)レベルの比較出力信号が発生するため、リアクトル電圧検出回路(81)からリセット期間検出回路(51)内のプリセット入力付Dフリップフロップ(56)のクロック入力端子(CLK)及びNANDゲート(57)の一方の入力端子に付与されるリアクトル電圧検出信号 V_L が図20(D)に示すように高い電圧(H)レベルから低い電圧(L)レベルとなる。また、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号がリセット期間検出回路(51)内の反転器(55)を介してプリセット入力付Dフリップフロップ(56)のプリセット入力端子(PR)に入力されるため、図20(E)に示すようにプリセット入力付Dフリップフロップ(56)の出力信号 V_{DF} が低い電圧(L)から高い電圧(H)レベルとなる。したがって、NANDゲート(57)から出力されるリセット期間検出信号 V_{RT} が図20(F)に示すように高い電圧(H)レベルを保持するため、タイマ回路(52)を構成する時定数切換回路(58)内の時定数切換用トランジスタ(65)もオン状態を保持する。また、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号は、オン期間制御回路(34)内の反転器(37)により低い電圧(L)レベルの信号に変換された後、充放電制御用トランジスタ(38)のベース端子に付与され、充放電制御用トランジスタ(38)がオフ状態となる。このため、出力電圧検出回路(16)から直列抵抗(33)を介して制御回路(12)の帰還信号入力端子(12a)に流れる電流によりオン期間設定用コンデンサ(39)が放電されるので、図20(B)に示すようにオ

ン期間設定用コンデンサ(39)の電圧 V_{CP} が初期電圧 V_{ST} から直線的に低下して行く。更に、リセット優先RSフリップフロップ(27)の高い電圧(H)レベルの出力信号は、タイマ回路(52)内の放電用トランジスタ(60)のベース端子に付与され、放電用トランジスタ(60)がオフ状態からオン状態となるので、図20(G)に示すようにタイマ用コンデンサ(59)の電圧 V_{CT} が略0Vまで降下する。

【0076】図18に示す実施の形態では、負荷(13)のインピーダンスが高い軽負荷時において、リアクトル(30)のリセット期間の終了後にタイマ回路(52)の時定数を延長し、時定数延長後のタイマ回路(52)が出力を発生した後にMOS-FET(3)をオフ状態からオン状態にすることにより、MOS-FET(3)のオフ期間が延長され、MOS-FET(3)のスイッチング周波数が低下する。これにより、MOS-FET(3)のオン・オフ回数が減少するので、軽負荷時でのスイッチング損失を低減でき、広い負荷の範囲でチョップ方式のスイッチング電源装置の変換効率を向上することが可能となる。また、リアクトル(30)を小型化するためにMOS-FET(3)のスイッチング周波数を高くした場合、軽負荷時にMOS-FET(3)のオン期間が極端に短くなり、制御上困難となる場合があるが、図18に示すスイッチング電源装置では軽負荷時にMOS-FET(3)のオフ期間が自動的に延長されるため、軽負荷時でのMOS-FET(3)のオン期間が極端に短くならず、軽負荷時でも安定に動作させることが可能となる。更に、バイアス電源(82)のバイアス電圧 V_{BS} とリアクトル(30)のMOS-FET(3)側の端子電圧 V_1 との差電圧の分圧電圧 V_{DIV} のレベルとリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 のレベルとを比較するため、起動時や過負荷時等で直流電源(1)の出力電圧が略ゼロの場合、リアクトル(30)のMOS-FET(3)側の端子電圧 V_1 がリアクトル(30)の平滑コンデンサ(32)側の端子電圧 V_2 よりも高いことを示す低い電圧(L)レベルのリアクトル電圧検出信号 V_L がリアクトル電圧検出回路(81)から継続して出力される。これにより、タイマ回路(52)が長い時定数で動作し、MOS-FET(3)が最長のオフ期間で動作し続けるので、MOS-FET(3)を最低のスイッチング周波数で動作させることができ、起動時や過負荷時等にMOS-FET(3)にかかる電氣的なストレスを軽減することが可能となる。

【0077】本発明の実施態様は前記の各実施の形態に限定されず、更に種々の変更が可能である。例えば、図1～図17に示す各実施の形態では1次巻線(2a)及び2次巻線(2b)並びに補助巻線(2c)がそれぞれ独立して形成されたトランス(2)を使用した形態を示したが、2次巻線(2b)及び補助巻線(2c)を単一の巻線で形成したトランス又は複数個の出力巻線を有する多出力型のトランスを使用してもよい。また、図18に示す実施の形態では降圧チョップ方式のスイッチング電源装置に本発明を適用した形態を示したが、昇圧チョップ方式又は昇降圧チョ

ツパ方式等の他のチョップ方式のスイッチング電源装置にも本発明を適用することが可能である。更に、上記の各実施の形態では主スイッチング素子として MOS-FET を使用した形態を示したが、バイポーラトランジスタ、IGBT（絶縁ゲート型バイポーラトランジスタ）、J-FET（接合型電界効果トランジスタ）又はサイリスタ等の他のスイッチング素子を使用してもよい。

【0078】

【発明の効果】本発明によれば、負荷のインピーダンスが高くなり軽負荷状態になるとスイッチング周波数が低下して主スイッチング素子のオン・オフ回数が減少するので、軽負荷時のスイッチング損失を低減でき、広い負荷の範囲で変換効率を向上することが可能である。また、フライバック方式のスイッチング電源装置の場合は、起動時にトランスの補助巻線に発生するフライバック電圧が低い場合、トランスのリセット期間が検出されないが、このときタイマ手段は長い時定数で出力を発生して主スイッチング素子をオン状態にするので、起動時に主スイッチング素子にかかる過渡的なストレスを軽減できる利点がある。更に、チョップ方式のスイッチング電源装置の場合は、リアクトルを小型化するために主スイッチング素子のスイッチング周波数を高くしても軽負荷時に主スイッチング素子のオフ期間が自動的に延長されるので、軽負荷時での主スイッチング素子のオン期間が極端に短くならず、軽負荷時でも安定に動作させることができる利点がある。

【図面の簡単な説明】

【図 1】 本発明によるスイッチング電源装置の一実施の形態を示す電気回路図

【図 2】 起動時における図 1 の各部の電圧及び電流を示す波形図

【図 3】 重負荷時における図 1 の各部の電圧及び電流を示す波形図

【図 4】 軽負荷時における図 1 の各部の電圧及び電流を示す波形図

【図 5】 図 1 の変更実施の形態を示す電気回路図

【図 6】 重負荷時における図 5 の各部の電圧及び電流を示す波形図

【図 7】 軽負荷時における図 5 の各部の電圧及び電流を示す波形図

【図 8】 図 5 の変更実施の形態を示す電気回路図

【図 9】 重負荷時における図 8 の各部の電圧及び電流を示す波形図

【図 10】 軽負荷時における図 8 の各部の電圧及び電流を示す波形図

【図 11】 図 8 の他の実施の形態を示す電気回路図

【図 12】 図 8 の変更実施の形態を示す電気回路図

【図 13】 重負荷時における図 12 の各部の電圧及び電流を示す波形図

【図 14】 軽負荷時における図 12 の各部の電圧及び電流を示す波形図

【図 15】 図 8 の他の変更実施の形態を示す電気回路図

【図 16】 補助巻線電圧の波高値が電圧立ち上がり検出回路の基準電圧のレベルより高い場合の図 15 の各部の電圧及び電流を示す波形図

【図 17】 補助巻線電圧の波高値が電圧立ち上がり検出回路の基準電圧のレベルより低い場合の図 15 の各部の電圧及び電流を示す波形図

【図 18】 本発明によるスイッチング電源装置の他の実施の形態を示す電気回路図

【図 19】 重負荷時における図 18 の各部の電圧及び電流を示す波形図

【図 20】 軽負荷時における図 18 の各部の電圧及び電流を示す波形図

【図 21】 従来のフライバック方式のスイッチング電源装置を示す電気回路図

【図 22】 重負荷時における図 21 の各部の電圧及び電流を示す波形図

【図 23】 軽負荷時における図 21 の各部の電圧及び電流を示す波形図

【図 24】 従来のオフ期間固定方式のスイッチング電源装置を示す電気回路図

【図 25】 軽負荷時における図 24 の各部の電圧及び電流を示す波形図

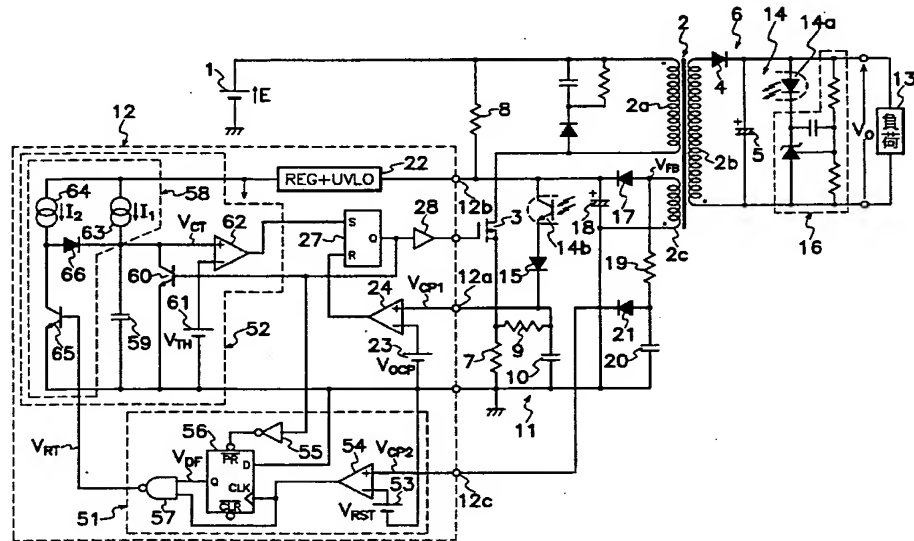
【符号の説明】

(1)・・・直流電源、(2)・・・トランス、(2a)・・・1次巻線、(2b)・・・2次巻線、(2c)・・・補助巻線、(3)・・・MOS-FET（主スイッチング素子）、(4)・・・整流ダイオード、(5)・・・平滑コンデンサ、(6)・・・整流平滑回路、(7)・・・電流検出用抵抗、(8)・・・起動用抵抗、(9)・・・抵抗、(10)・・・コンデンサ、(11)・・・低域通過型フィルタ回路、(12)・・・制御回路、(12a)・・・帰還信号入力端子、(12b)・・・電源入力端子、(12c)・・・リセット期間検出端子、(12d)・・・リアクトル入力側電圧検出端子、(12e)・・・リアクトル出力側電圧検出端子、(13)・・・負荷、(14)・・・フォトカプラ、(14a)・・・発光部、(14b)・・・受光部、(15)・・・逆流防止用ダイオード、(16)・・・出力電圧検出回路（出力電圧検出手段）、(17)・・・整流ダイオード、(18)・・・駆動用コンデンサ、(19)・・・フライバック電圧検出用抵抗、(20)・・・フライバック電圧検出用コンデンサ、(21)・・・逆流防止用ダイオード、(22)・・・制御回路用レギュレータ及び低電圧停止回路、(23)・・・基準電源、(24)・・・コンパレータ、(25)・・・電圧立ち上がり検出回路（電圧立ち上がり検出手段）、(26)・・・発振回路、(27)・・・リセット優先RSフリップフロップ、(28)・・・駆動回路、(29)・・・タイマ回路、(30)・・・リアクトル、(31)・・・フ

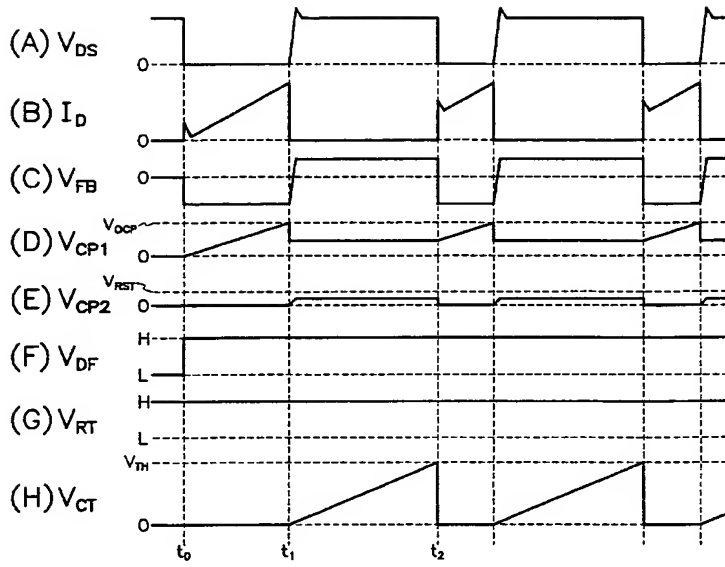
ライホイールダイオード（還流用整流素子）、(32)・
・平滑コンデンサ、(33)・直列抵抗、(34)・オン
期間制御回路、(35)・基準電源、(36)・初期
電源、(37)・反転器、(38)・充放電制御用トラ
ンジスタ、(39)・オン期間設定用コンデンサ、(4
0)・オン期間制御用コンパレータ、(51)・リセッ
ト期間検出回路（リセット期間検出手段）、(52)・
タイマ回路（タイマ手段）、(53)・基準電源、(5
4)・リセット期間検出用コンパレータ、(55)・反
転器、(56)・プリセット入力付Dフリップフロッ
プ、(57)・NANDゲート、(58)・時定数切換
回路、(59)・タイマ用コンデンサ、(60)・放電
用トランジスタ、(61)・基準電源、(62)・コン
パレータ、(63)・第1の定電流源、(64)・第2

の定電流源、(65)・時定数切換用トランジスタ、
(66)・逆流防止用ダイオード、(67)・オフ期間固
定回路（オフ期間固定手段）、(68)・第1の反転
器、(69)・第1のANDゲート、(70)・第2の
反転器、(71)・RSフリップフロップ、(72)・第
2のANDゲート、(73)・ORゲート、(74)・
積分回路、(75)・積分用抵抗、(76)・積分用コン
デンサ、(77)・反転器、(78)・基準電源、(7
9)・電圧立ち上がり検出用コンパレータ、(80)・
短絡用トランジスタ、(81)・リアクトル電圧検出回
路（リアクトル電圧検出手段）、(82)・バイアス電
源、(83,84)・分圧抵抗、(85)・リアクトル電
圧検出用コンパレータ（比較手段）

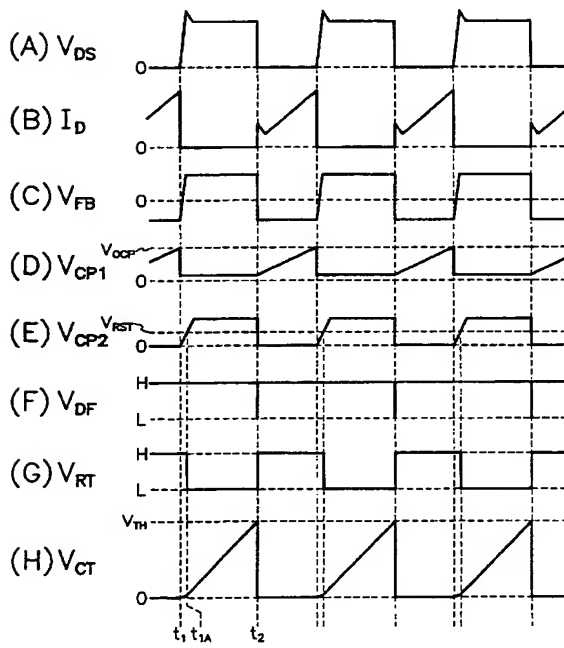
【図1】



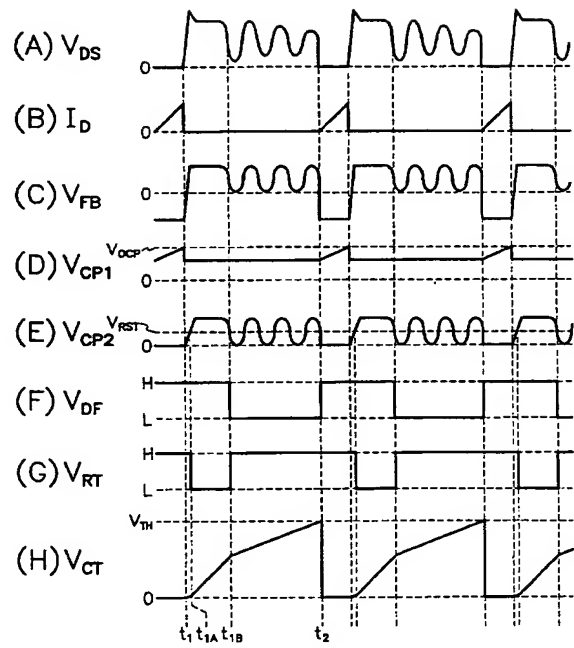
【図2】



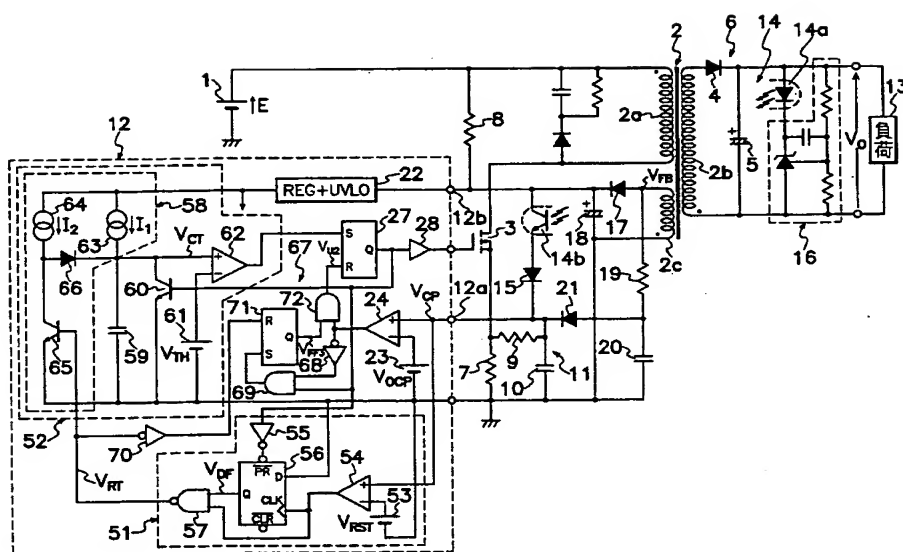
【図3】



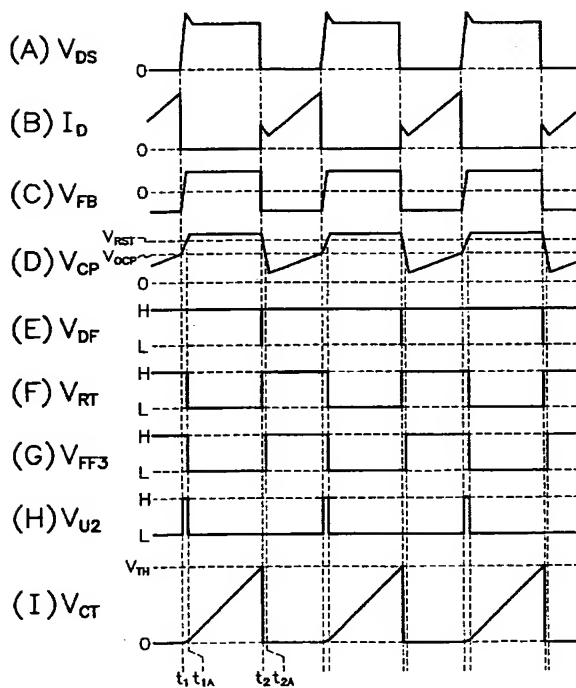
【図4】



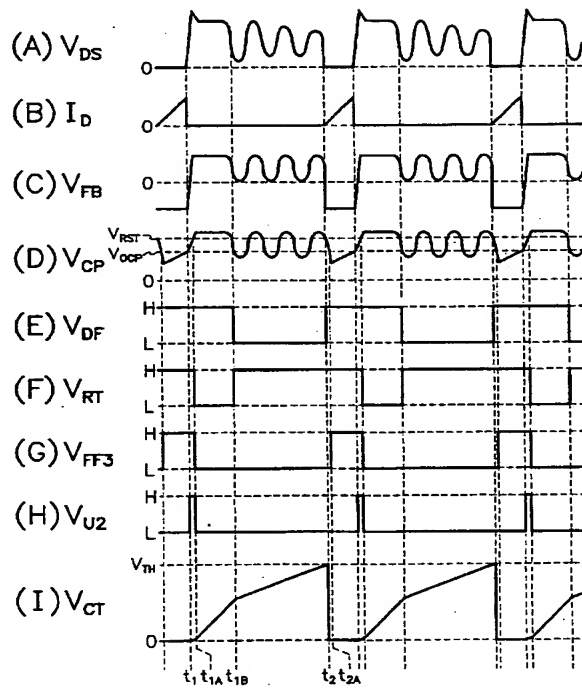
【図5】



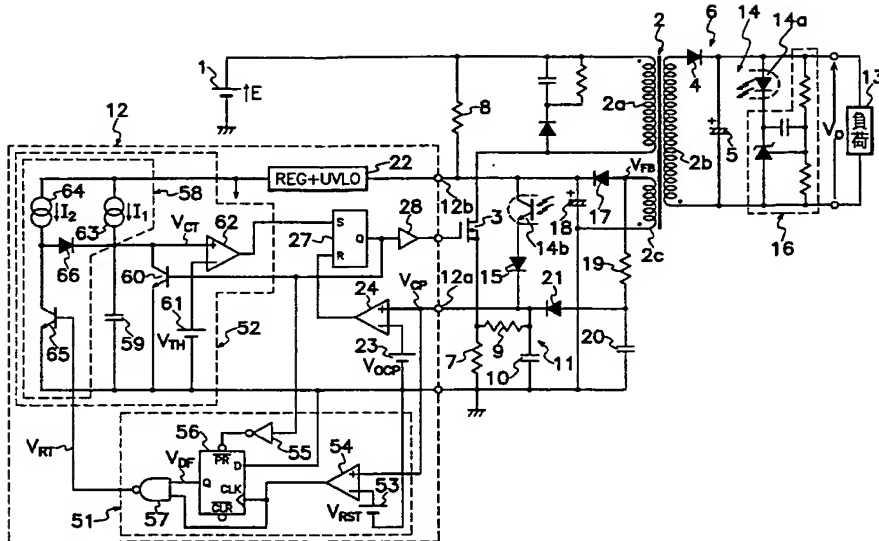
【図6】



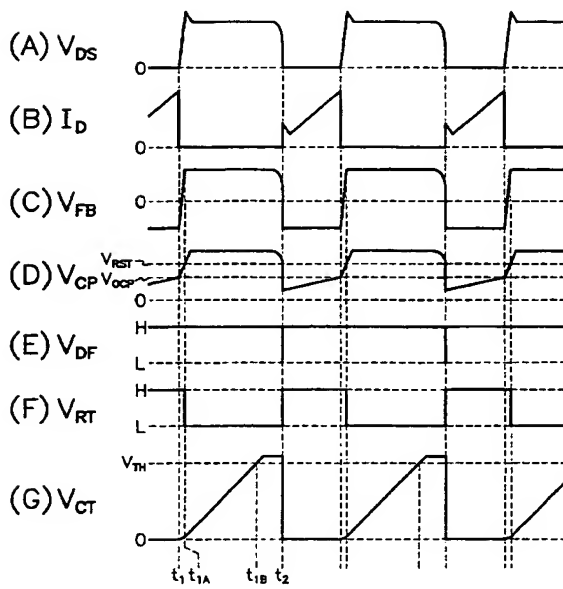
【図7】



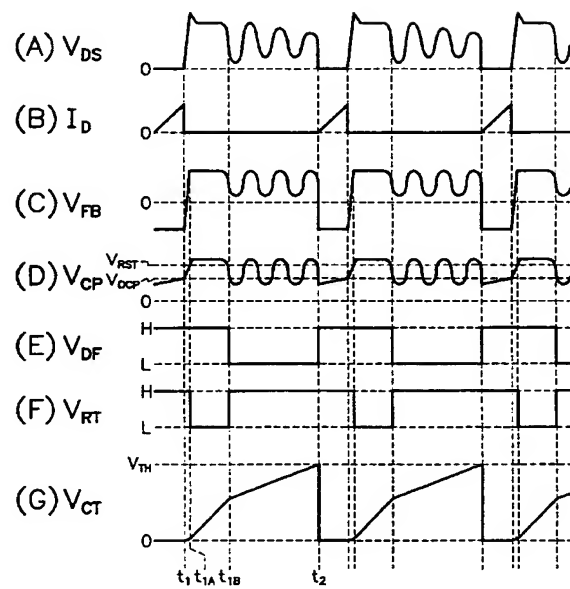
【図8】



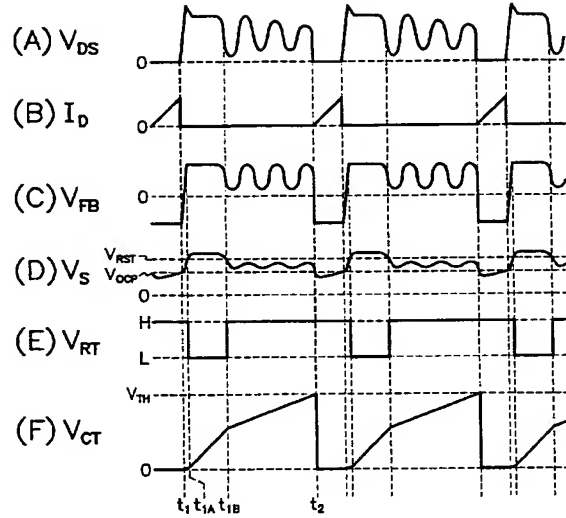
【図9】



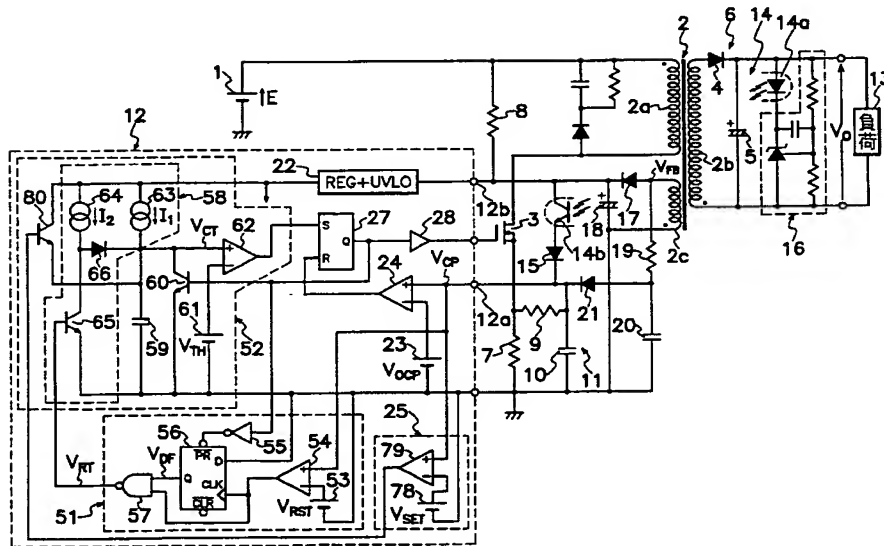
【図10】



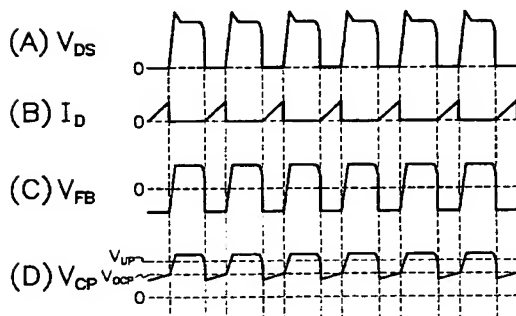
【图 1 4】



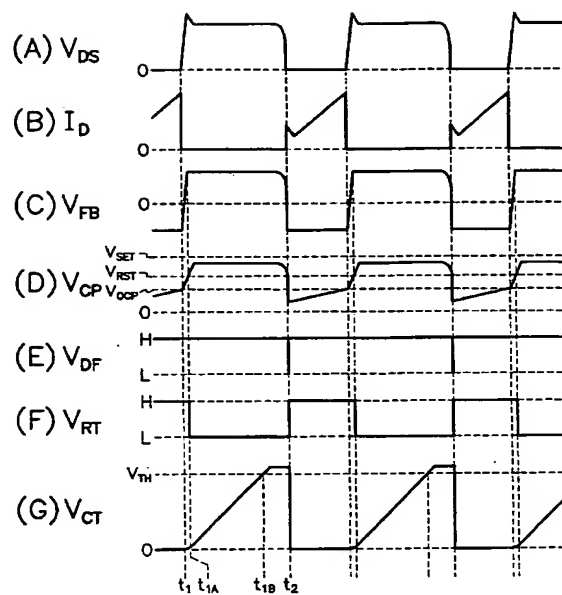
【图 1 5】



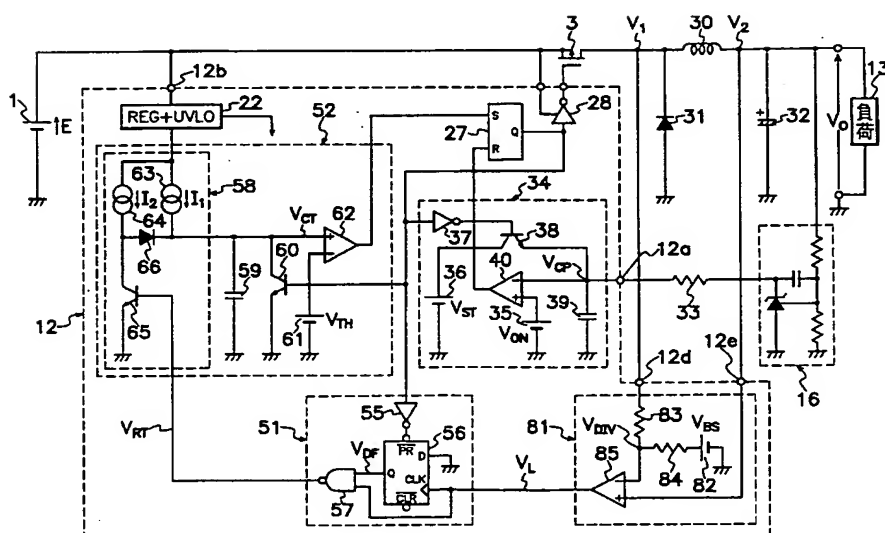
【图 2 3】



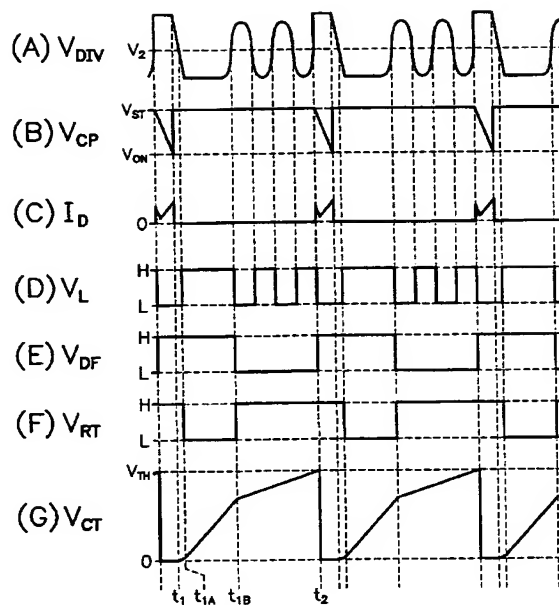
【图 17】



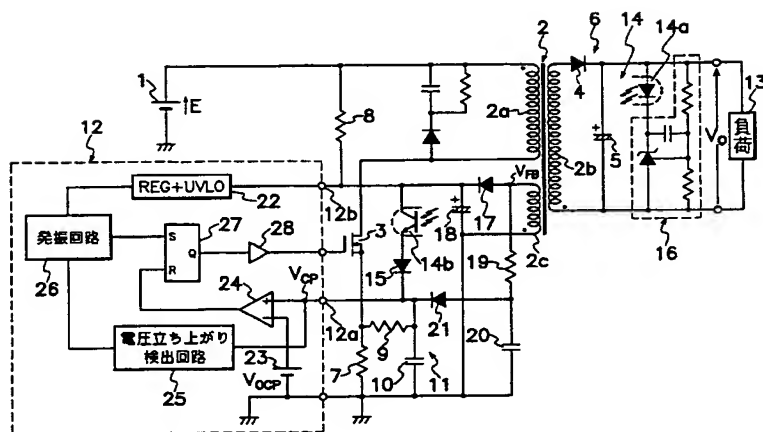
【图 18】



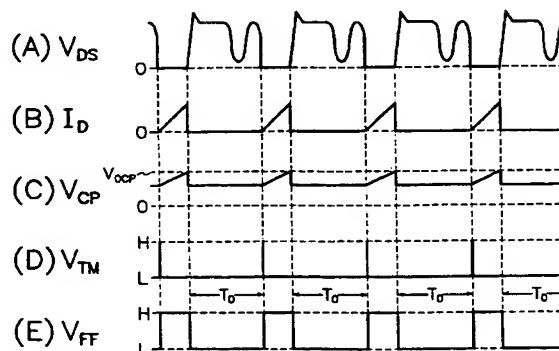
【图 20】



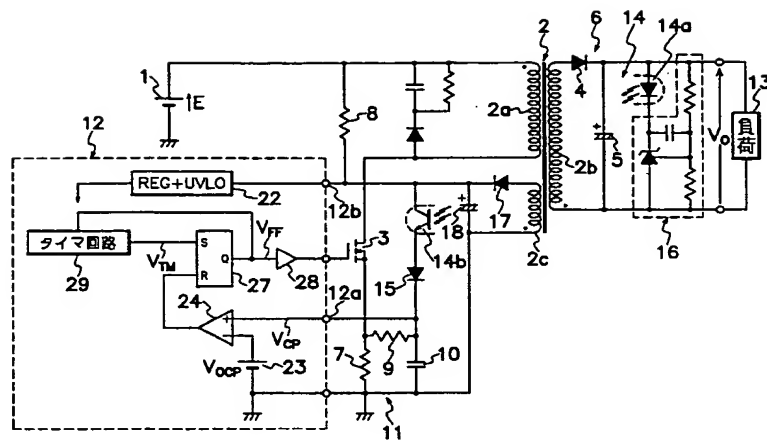
【图 2 1】



【图 25】



【図24】



THIS PAGE IS BLANK (ISPTO)